

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月 1日

出願番号

Application Number:

特願2002-192133

[ST.10/C]:

[JP2002-192133]

出願人

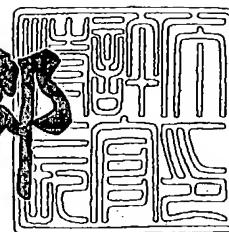
Applicant(s):

富士通株式会社

2002年12月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3096472

【書類名】 特許願

【整理番号】 0240572

【提出日】 平成14年 7月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/02

【発明の名称】 半導体基板及びその製造方法

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 福田 哲生

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 平田 克史

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100087479

    【弁理士】

    【氏名又は名称】 北野 好人

【選任した代理人】

    【識別番号】 100114915

    【弁理士】

    【氏名又は名称】 三村 治彦

【手数料の表示】

    【予納台帳番号】 003300

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体基板及びその製造方法

【特許請求の範囲】

【請求項 1】 シリコン基板と、前記シリコン基板上に形成されたシリコンゲルマニウム層と、前記シリコンゲルマニウム層上に形成されたシリコン層とを有する半導体基板であって、

前記シリコン基板、前記シリコンゲルマニウム層及び前記シリコン層の少なくともいずれかにおける、一の Si 同位体の同位体組成比と一の Ge 同位体の同位体組成比との少なくとも一方が、95%以上である

ことを特徴とする半導体基板。

【請求項 2】 シリコンゲルマニウム基板と、前記シリコンゲルマニウム基板上に形成されたシリコン層とを有する半導体基板であって、

前記シリコンゲルマニウム基板及び前記シリコン層の少なくともいずれかにおける、一の Si 同位体の同位体組成比と一の Ge 同位体の同位体組成比との少なくとも一方が、95%以上である

ことを特徴とする半導体基板。

【請求項 3】 支持基板とシリコン層とが絶縁膜を介して貼り合わせられた半導体基板であって、

前記支持基板又は前記シリコン層の少なくともいずれかにおける一の Si 同位体の同位体組成比が、95%以上である

ことを特徴とする半導体基板。

【請求項 4】 支持基板と、前記支持基板の上方に絶縁膜を介して形成されたシリコンゲルマニウム層と、前記シリコンゲルマニウム層上に形成されたシリコン層とを有する半導体基板であって、

前記シリコンゲルマニウム層及び前記シリコン層の少なくともいずれかにおける、一の Si 同位体の同位体組成比と一の Ge 同位体の同位体組成比との少なくとも一方が、95%以上である

ことを特徴とする半導体基板。

【請求項 5】 シリコン基板上にシリコンゲルマニウム層を形成する工程と



前記シリコンゲルマニウム層上にシリコン層を形成する工程とを有し、

前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工程の少なくともいずれかでは、一の S i 同位体の同位体組成比と一の G e 同位体の同位体組成比との少なくとも一方が 9 5 % 以上の原料ガスを用いて、前記シリコンゲルマニウム層又は前記シリコン層を形成する

ことを特徴とする半導体基板の製造方法。

【請求項 6】 シリコンゲルマニウム基板上にシリコン層を形成する工程を有し、

前記シリコン層を形成する工程では、一の S i 同位体の同位体組成比が 9 5 % 以上の原料ガスを用いて、前記シリコン層を形成する

ことを特徴とする半導体基板の製造方法。

【請求項 7】 一の S i 同位体の同位体組成比が 9 5 % 以上であるシリコン基板の一侧の面上に絶縁膜を形成する工程と、

前記絶縁膜を支持基板に貼り合わせる工程と、

前記シリコン基板の他側の面側から前記シリコン基板を薄膜化する工程と

を有することを特徴とする半導体基板の製造方法。

【請求項 8】 シリコン基板の一侧の面上に、一の S i 同位体の同位体組成比が 9 5 % 以上の原料ガスを用いて、シリコン層を形成する工程と、

前記シリコン層上に絶縁膜を形成する工程と、

前記絶縁膜上に支持基板を貼り合わせる工程と、

前記シリコン基板の他側の面側から前記シリコン基板を薄膜化する工程と

を有することを特徴とする半導体基板の製造方法。

【請求項 9】 支持基板上に、絶縁膜を介して、シリコン基板を貼り合わせる工程と、

前記シリコン基板側から前記シリコン基板を薄膜化する工程と、

薄膜化された前記シリコン基板上に、シリコンゲルマニウム層を形成する工程と、

前記シリコンゲルマニウム層上にシリコン層を形成する工程とを有し、

前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工程の少なくともいずれかでは、一の S i 同位体の同位体組成比と一の G e 同位体の同位体組成比との少なくとも一方が 9 5 % 以上の原料ガスを用いて、前記シリコンゲルマニウム層又は前記シリコン層を形成する

ことを特徴とする半導体基板の製造方法。

【請求項 1 0】 シリコン基板中に絶縁膜を埋め込む工程と、

前記絶縁膜が埋め込まれた前記シリコン基板上に、シリコンゲルマニウム層を形成する工程と、

前記シリコンゲルマニウム層上にシリコン層を形成する工程とを有し、

前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工程の少なくともいずれかでは、一の S i 同位体の同位体組成比と一の G e 同位体の同位体組成比との少なくとも一方が 9 5 % 以上の原料ガスを用いて、前記シリコンゲルマニウム層又は前記シリコン層を形成する

ことを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、半導体基板及びその製造方法に係り、特に放熱性を向上し得る半導体基板及びその製造方法に関する。

【 0 0 0 2】

【従来の技術】

M O S F E T (Metal Oxide Semiconductor-Field Effect Transistor) 等においては、ゲート長の縮小をはじめとする素子の微小化によって、高速化を目指した改良が継続されている。

【 0 0 0 3】

M O S F E T における信号の伝搬遅延時間  $\tau$  は、以下のような式により表される。

【 0 0 0 4】

$$\tau = C_{\text{load}} \cdot V_{\text{dd}} / [ \{ (W \cdot \mu \cdot \varepsilon) / (L \cdot T_{\text{OX}}) \} \times (V_{\text{dd}} - V_{\text{t}})^2 ]$$

… (1)

ここで、 $C_{load}$ は負荷容量であり、 $V_{dd}$ は電源電圧であり、 $W$ はMOSFETのゲート幅であり、 $L$ はMOSFETのゲート長である。また、 $\mu$ はキャリアの移動度であり、 $\epsilon$ はゲート絶縁膜の誘電率であり、 $T_{ox}$ はゲート絶縁膜の厚さであり、 $V_t$ はしきい値電圧である。

【0005】

上記の式から、トランジスタを微細化することによって、具体的にはゲート長 $L$ を短くすることによって、高速化を実現し得ることが分かる。しかし、ゲート長が70nm以下の超微細トランジスタを製造するためには、波長157nmの $F_2$ エキシマレーザの光源を用いた露光装置が必要となる。 $F_2$ エキシマレーザの光源を用いた露光装置は、一台あたり20～30億円と非常に高価であり、製造ラインを構築するためには、かかる露光装置を何台も用いる必要があるため、莫大な投資が必要となる。

【0006】

また、上記の式から、電源電圧 $V_{dd}$ を高くすることによっても、MOSFETの高速化を実現し得ることが分かる。しかし、MOSFETの消費電力は電源電圧の2乗に比例して増大するため（参考文献1：T. Tsuchiya, Oyo Butsuri 66, 1191 (1997)）、高集積化を考慮すると電源電圧を高くすることは好ましくない。

【0007】

また、上記の式から、ゲート絶縁膜の膜厚 $T_{ox}$ を薄くすることによっても、MOSFETの高速化を実現し得ることが分かる。しかし、既に膜厚1.5nmの熱酸化膜が開発されており、更なるゲート絶縁膜の薄膜化は非常に困難である。

【0008】

また、上記の式から、ゲート絶縁膜の誘電率 $\epsilon$ を高くすることによっても、MOSFETの高速化を実現し得ることが分かる。しかし、誘電率 $\epsilon$ の高いゲート絶縁膜は、実用化に向けた課題が多く、実用化には未だ多くの時間を要する。

【0009】

また、上記の式から、負荷容量 $C_{load}$ を低減することによっても、MOSFE

Tの高速化を実現し得ることが分かる。上述した他のパラメータの値を更に改善することは必ずしも容易ではないため、負荷容量 $C_{load}$ の値を低減する技術が注目されている。

#### 【0010】

また、MOSFETの負荷容量を低減する技術として、SOI基板が提案されている。SOI基板では、半導体素子が形成されるシリコン結晶層が、埋め込み酸化膜によって、シリコン結晶基板から隔てられた構造となっている。このため、SOI基板を用いてMOSFETを形成した場合には、通常のCZウェハを用いてMOSFETを形成する場合と比較して、ソースドレイン間の接合容量が約10分の1に低減され（参考文献1参照）、配線容量が数十%小さくなる（参考文献2：Y. Yamaguchi, et al., IEEE Trans. Electron Devices 40, 179 (1993)）。即ち、SOI基板を用いることにより、MOSFETの寄生容量 $C_{load}$ を低減することができる。従って、SOI基板を用いることにより、MOSFETの動作速度の向上を図ることができる。

#### 【0011】

また、シリコン結晶層に結晶歪を導入すると、シリコン結晶層におけるバンド構造が変化し、シリコン結晶層における電子やホールの変動度 (mobility) が向上することが報告されている（参考文献3：G. Abstreiter, et al., Phys. Rev. Lett. 54, 2441 (1985)、参考文献4：D. K. Nayak, et al., Appl. Phys. Lett. 62, 2853 (1993)）。

#### 【0012】

そして、近時では、歪Si/SiGe構造の半導体基板が提案されている。歪Si/SiGe構造の半導体基板は、シリコン結晶基板上に、例えば、Ge濃度が10～30%、厚さが数十～数100nmのシリコンゲルマニウム結晶層を形成し、更にシリコンゲルマニウム結晶層上にシリコン結晶層を形成することにより、構成されている（参考文献5：K. K. Linder, et al., Appl. Phys. Lett. 70, 3224 (1997)）。SiとGeは全率固溶体の性質を有するため、SiとGeをいかなる割合にしても、シリコンゲルマニウム結晶層は合金となる。また、Ge原子の共有結合半径はSi原子より数%大きいため、シリコンゲルマニウム結

晶層の平均格子間距離は、シリコン結晶層の平均格子間距離より大きい。このため、シリコンゲルマニウム結晶層上にシリコン結晶層を形成すると、シリコン結晶層に結晶歪が導入される。

## 【0013】

なお、シリコンゲルマニウム結晶層におけるGe濃度をシリコン結晶基板側に向かって徐々に低くすることにより、シリコンゲルマニウム結晶層の転位密度を低減する技術も提案されている（参考文献6：E. A. Fitzgerald, et al., Appl. Phys. Lett. 59, 811 (1991)）。

## 【0014】

このように、歪Si/SiGe構造の半導体基板を用いれば、シリコン結晶層におけるキャリア移動度を向上することができるため、MOSFETの動作速度の向上を図ることが可能となる。

## 【0015】

また、近時では、歪Si/SiGeOI構造の半導体基板が提案されている（参考文献7：A. R. Powell, et al., Appl. Phys. Lett. 64, 1856 (1994)、参考文献8：Y. Ishikawa, et al., Appl. Phys. Lett. 75, 983 (1999)）。歪Si/SiGeOI構造の半導体基板は、シリコンゲルマニウム結晶層とシリコン結晶層とから成る積層体が、埋め込み酸化膜によって、シリコン結晶基板から隔てられた構造となっている。

## 【0016】

歪Si/SiGeOI構造の半導体基板は、例えば以下のようにして形成することができる。

## 【0017】

即ち、まず、シリコン結晶基板上に、例えば、厚さ $1\mu\text{m}$ の $\text{Si}_{0.9}\text{Ge}_{0.1}$ より成るシリコンゲルマニウム結晶層をエピタキシャル成長する。この際、シリコンゲルマニウム結晶層の下層側の $850\text{nm}$ の領域におけるGe濃度を、シリコン結晶基板側に向かって徐々に低くなるように設定する。

## 【0018】

次に、加速エネルギー $170\text{keV}$ 、ドーズ量 $3\times 10^{17}\text{cm}^{-2}$ で酸素イオン

を注入する。次に、 $1300^{\circ}\text{C}$ 以上、6時間の熱処理を行う。そうすると、シリコンゲルマニウム結晶層中に、厚さ $110\text{ nm}$ の埋め込み酸化膜が形成される。

#### 【0019】

次に、フッ酸溶液を用い、シリコンゲルマニウム結晶層上に形成された酸化膜を除去するとともに、シリコンゲルマニウム結晶層の表面を水素で終端する。

#### 【0020】

次に、例えば厚さ $150\text{ nm}$ の $\text{Si}_{0.9}\text{Ge}_{0.1}$ より成るシリコンゲルマニウム結晶層と、例えば厚さ $15\text{ nm}$ のシリコン結晶層とを、順次エピタキシャル成長する。埋め込み酸化膜上のシリコンゲルマニウム結晶層及びシリコン結晶層の厚さは、合計で例えば $600\text{ nm}$ 程度となる。

#### 【0021】

こうして、歪 $\text{Si}/\text{SiGeOI}$ 構造の半導体基板が形成される。

#### 【0022】

こうして形成された歪 $\text{Si}/\text{SiGeOI}$ 構造の半導体基板では、通常の $\text{SOI}$ 基板と比較して、電子移動度が $60\%$ 程度向上され（参考文献9：T. Mizuno, et al., IEEE Electron Device Lett. EDL-21, 230 (2000)）、ホール移動度が $18\%$ 程度向上される（参考文献10：T. Mizuno, et al., Tech. Dig. Int. Electron. Devices Meet., Washington, 1999, p.934）。従って、歪 $\text{Si}/\text{SiGeOI}$ 構造の半導体基板を用いれば、MOSトランジスタの動作速度の更なる向上を図ることが可能となる。

#### 【0023】

ところで、微細な集積回路においては、動作時に発生するジュール熱を効率的に散逸することが、極めて重要である。ここで、代表的なハイエンド超高速デバイスであるマイクロプロセッサを例に説明する。

#### 【0024】

マイクロプロセッサのコア部には、数百万～数千万個のMOSFETが形成されており、MOSFETが動作すると、ドレイン電流に起因してジュール熱が発生する。コア部は、半導体チップのわずか $5\sim 10\%$ の領域に集中しているため、現在の最先端のプロセッサではコア部の温度は $100^{\circ}\text{C}$ 以上にまで上昇する（

参考文献 11 : S. J. Burden, SEMICONDUCTOR FABTECH, Mar., 2001, 13th Edition, p. 297)。このため、コア部において発生するジュール熱を効果的に散逸することが極めて重要である。

#### 【0025】

また、集積回路の微細化が進むほど、エッチングやイオン注入等におけるプロセスのばらつきに起因して、ソース／ドレインのサイズのばらつき、不純物濃度のばらつき、コンタクト抵抗のばらつき等が顕著となる。また、半導体基板の表面のトポグラフィ (topography) も、微細加工におけるばらつきの要因となる。そして、このようなばらつきは、ホットスポットと称される局所的にジュール熱が多く発生する部分を生じさせる (参考文献 11 参照)。温度上昇は集積回路の信頼性を低下させる要因となるため、ホットスポットにおいて発生するジュール熱を効果的に散逸することが極めて重要である。

#### 【0026】

このように、集積回路における信頼性の低下を招くことなく動作速度の向上を図るためには、コア部やホットスポット等において発生するジュール熱を効果的に散逸することが極めて重要である。

#### 【0027】

##### 【発明が解決しようとする課題】

しかしながら、上述した SOI 基板、歪 Si / SiGe 構造の半導体基板、及び、歪 Si / SiGeOI 構造の半導体基板では、通常の CZ ウェハやエピタキシャルウェハと比較して、以下に示すように、放熱性が低くなってしまう。

#### 【0028】

一般に、Si 結晶の熱伝導率は、温度 300 K において、150 W / mK 程度である (参考文献 12 : Y. S. Touloukian, et al., Thermophysical Properties of Matter 2, Thermal Conductivity, Nonmetallic Solids, Plenum (1970))。また、Ge 結晶の熱伝導率は、温度 300 K において、60 ~ 77 W / mK 程度である (参考文献 13 : M. A. Palmer, et al., Phy. Rev. B 56, 9431 (1997))。また、シリコン酸化膜の熱伝導率は、温度 300 K において、1.38 程度である (参考文献 13 参照)。但し、シリコン酸化膜の熱伝導率は不明である

ため、ここでは石英ガラスの熱伝導率を示しているが、これは一般的に用いられている近似である。

#### 【0029】

これらのことから分かるように、シリコン酸化膜の熱伝導率は、シリコン結晶の熱伝導率の100分の1程度である。このため、SOI基板では、CZウェハ等と比較して、シリコン結晶層で発生するジュール熱の基板の深さ方向への放熱量が、100分の1程度になると考えられる。

#### 【0030】

また、上記のことから分かるように、Ge結晶の熱伝導率は、Si結晶の熱伝導率の2分の1程度である。このことから、SiGe結晶の熱伝導率は、Si結晶の熱伝導率より低くなると考えられる。このため、歪Si/SiGe構造の半導体基板では、CZウェハ等と比較して、シリコン結晶層で発生するジュール熱の基板の深さ方向への放熱量が小さくなると考えられる。

#### 【0031】

また、歪Si/SiGeOI構造の半導体基板では、シリコン結晶層の下に、シリコンゲルマニウム結晶層、埋め込み酸化膜、及びシリコンゲルマニウム結晶層の3つの層が形成されている。このため、歪Si/SiGeOI構造の半導体基板では、シリコン結晶層で発生するジュール熱の基板の深さ方向への放熱量が、上述したSOI基板の場合より更に小さくなることは明らかである。

#### 【0032】

このように、SOI基板、歪Si/SiGe構造の半導体基板、及び、歪Si/SiGeOI構造の半導体基板では、通常のCZウェハ等と比較して、放熱性が低くなってしまう。このため、SOI基板、歪Si/SiGe構造の半導体基板、及び、歪Si/SiGeOI構造の半導体基板における放熱性を向上し得る技術が待望されていた。

#### 【0033】

本発明の目的は、放熱性を向上し得る半導体基板及びその製造方法を提供することにある。

#### 【0034】



## 【課題を解決するための手段】

上記目的は、シリコン基板と、前記シリコン基板上に形成されたシリコンゲルマニウム層と、前記シリコンゲルマニウム層上に形成されたシリコン層とを有する半導体基板であって、前記シリコン基板、前記シリコンゲルマニウム層及び前記シリコン層の少なくともいずれかにおける、一のS i 同位体の同位体組成比と一のG e 同位体の同位体組成比との少なくとも一方が、9 5 %以上であることを特徴とする半導体基板により達成される。

## 【0 0 3 5】

また、上記目的は、シリコンゲルマニウム基板と、前記シリコンゲルマニウム基板上に形成されたシリコン層とを有する半導体基板であって、前記シリコンゲルマニウム基板及び前記シリコン層の少なくともいずれかにおける、一のS i 同位体の同位体組成比と一のG e 同位体の同位体組成比との少なくとも一方が、9 5 %以上であることを特徴とする半導体基板により達成される。

## 【0 0 3 6】

また、上記目的は、支持基板とシリコン層とが絶縁膜を介して貼り合わせられた半導体基板であって、前記支持基板又は前記シリコン層の少なくともいずれかにおける一のS i 同位体の同位体組成比が、9 5 %以上であることを特徴とする半導体基板により達成される。

## 【0 0 3 7】

また、上記目的は、支持基板と、前記支持基板の上方に絶縁膜を介して形成されたシリコンゲルマニウム層と、前記シリコンゲルマニウム層上に形成されたシリコン層とを有する半導体基板であって、前記シリコンゲルマニウム層及び前記シリコン層の少なくともいずれかにおける、一のS i 同位体の同位体組成比と一のG e 同位体の同位体組成比との少なくとも一方が、9 5 %以上であることを特徴とする半導体基板により達成される。

## 【0 0 3 8】

また、上記目的は、シリコン基板上にシリコンゲルマニウム層を形成する工程と、前記シリコンゲルマニウム層上にシリコン層を形成する工程とを有し、前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工程の少

なくともいずれかでは、一の Si 同位体の同位体組成比と一の Ge 同位体の同位体組成比との少なくとも一方が 95%以上の原料ガスを用いて、前記シリコンゲルマニウム層又は前記シリコン層を形成することを特徴とする半導体基板の製造方法により達成される。

【0039】

また、上記目的は、シリコンゲルマニウム基板上にシリコン層を形成する工程を有し、前記シリコン層を形成する工程では、一の Si 同位体の同位体組成比が 95%以上の原料ガスを用いて、前記シリコン層を形成することを特徴とする半導体基板の製造方法により達成される。

【0040】

また、上記目的は、一の Si 同位体の同位体組成比が 95%以上であるシリコン基板の一侧の面上に絶縁膜を形成する工程と、前記絶縁膜を支持基板に貼り合わせる工程と、前記シリコン基板の他側の面側から前記シリコン基板を薄膜化する工程とを有することを特徴とする半導体基板の製造方法により達成される。

【0041】

また、上記目的は、シリコン基板の一侧の面上に、一の Si 同位体の同位体組成比が 95%以上の原料ガスを用いて、シリコン層を形成する工程と、前記シリコン層上に絶縁膜を形成する工程と、前記絶縁膜上に支持基板を貼り合わせる工程と、前記シリコン基板の他側の面側から前記シリコン基板を薄膜化する工程とを有することを特徴とする半導体基板の製造方法により達成される。

【0042】

また、上記目的は、支持基板上に、絶縁膜を介して、シリコン基板を貼り合わせる工程と、前記シリコン基板側から前記シリコン基板を薄膜化する工程と、薄膜化された前記シリコン基板上に、シリコンゲルマニウム層を形成する工程と、前記シリコンゲルマニウム層上にシリコン層を形成する工程とを有し、前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工程の少なくともいずれかでは、一の Si 同位体の同位体組成比と一の Ge 同位体の同位体組成比との少なくとも一方が 95%以上の原料ガスを用いて、前記シリコンゲルマニウム層又は前記シリコン層を形成することを特徴とする半導体基板の製造方法

により達成される。

【0043】

また、上記目的は、シリコン基板中に絶縁膜を埋め込む工程と、前記絶縁膜が埋め込まれた前記シリコン基板上に、シリコンゲルマニウム層を形成する工程と、前記シリコンゲルマニウム層上にシリコン層を形成する工程とを有し、前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工程の少なくともいずれかでは、一のSi同位体の同位体組成比と一のGe同位体の同位体組成比との少なくとも一方が95%以上の原料ガスを用いて、前記シリコンゲルマニウム層又は前記シリコン層を形成することを特徴とする半導体基板の製造方法により達成される。

【0044】

また、上記目的は、シリコン基板上にシリコンゲルマニウム層を形成する工程と、前記シリコンゲルマニウム層上にシリコン層を形成する工程と、前記シリコン基板中に絶縁膜を埋め込む工程とを有し、前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工程の少なくともいずれかでは、一のSi同位体の同位体組成比と一のGe同位体の同位体組成比との少なくとも一方が95%以上の原料ガスを用いて、前記シリコンゲルマニウム層又は前記シリコン層を形成することを特徴とする半導体基板の製造方法により達成される。

【0045】

また、上記目的は、シリコン基板上にシリコンゲルマニウム層を形成する工程と、前記シリコン基板中に絶縁膜を埋め込む工程と、前記シリコンゲルマニウム層上にシリコン層を形成する工程とを有し、前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工程の少なくともいずれかでは、一のSi同位体の同位体組成比と一のGe同位体の同位体組成比との少なくとも一方が95%以上の原料ガスを用いて、前記シリコンゲルマニウム層又は前記シリコン層を形成することを特徴とする半導体基板の製造方法により達成される。

【0046】

【発明の実施の形態】

〔本発明の原理〕

本発明の実施の形態を説明するに先立って、本発明の原理について説明する。

## 【0047】

上述したように、SOI基板、歪Si/SiGe構造の半導体基板、歪Si/SiGeOI構造の半導体基板では、放熱性を向上することが課題となっていた。

## 【0048】

本願発明者らは鋭意検討した結果、シリコン結晶層やシリコンゲルマニウム結晶層等において、 $^{28}\text{Si}$ 、 $^{29}\text{Si}$ 、 $^{30}\text{Si}$ のうちのいずれかの同位体組成比や、 $^{70}\text{Ge}$ 、 $^{72}\text{Ge}$ 、 $^{73}\text{Ge}$ 、 $^{74}\text{Ge}$ 又は $^{76}\text{Ge}$ のうちのいずれかの同位体組成比を高く設定すれば、以下に示すように、半導体基板の放熱性を向上し得ることに想到した。

## 【0049】

通常のシリコン結晶は、 $^{28}\text{Si}$ 、 $^{29}\text{Si}$ 、 $^{30}\text{Si}$ の3種類の同位体元素により構成されている。ここで、 $^{28}\text{Si}$ は質量数が28のSiであり、 $^{29}\text{Si}$ は質量数が29のSiであり、 $^{30}\text{Si}$ は質量数が30のSiである。天然におけるSiの同位体存在比は、 $^{28}\text{Si}$ が92.2%、 $^{29}\text{Si}$ が4.7%、 $^{30}\text{Si}$ が3.1%であり、常に一定となっている（参考文献14：W. S. Capinski et al., Appl. Phys. Lett. 71, 2109 (1997)）。

## 【0050】

このような通常のシリコン結晶における熱伝導率は、上述したように、例えば温度300Kにおいて、150W/mK程度である（参考文献12参照）。

## 【0051】

これに対し、例えば $^{28}\text{Si}$ の同位体組成比を99.86%と高く設定した場合におけるシリコン結晶の熱伝導率は、例えば温度300Kにおいて、237W/mK程度となる（参考文献15：T. Ruf, et.al., Solid State Commun. 115, 243 (2000)）。

## 【0052】

このことから、 $^{28}\text{Si}$ の同位体組成比を極めて高く設定することにより、シリコン結晶における熱伝導率を、58%程度向上し得ることが分かる。

## 【0053】

シリコン結晶において、いずれかのSi同位体の同位体組成比を高く設定すると、通常のシリコン結晶より熱伝導率より高くなるのは、以下のようなメカニズムによるものと考えられる。

## 【0054】

即ち、熱伝導とは、熱によって励起された格子振動(phonon)が高温部から低温部に向かって波として伝搬する現象である。このため、結晶格子においてすべての原子が同じ質量であれば、理想的な進行波が形成される。これに対し、複数の同位体が存在する系では、進行波が散乱されるため、熱伝導率は低下する。

## 【0055】

熱伝導率が向上するのはこのようなメカニズムによるものと考えられるため、 $^{28}\text{Si}$ の同位体組成比を高く設定した場合のみならず、 $^{29}\text{Si}$ や $^{30}\text{Si}$ の同位体組成比を高く設定した場合であっても、同様に熱伝導率を向上し得ると考えられる。

## 【0056】

また、通常のGe結晶は、 $^{70}\text{Ge}$ 、 $^{72}\text{Ge}$ 、 $^{73}\text{Ge}$ 、 $^{74}\text{Ge}$ 、 $^{76}\text{Ge}$ の5種類の同位体元素により構成されている。ここで、 $^{70}\text{Ge}$ は質量数が70のGe、 $^{72}\text{Ge}$ は質量数が72のGe、 $^{73}\text{Ge}$ は質量数が73のGe、 $^{74}\text{Ge}$ は質量数が74のGe、 $^{76}\text{Ge}$ は質量数が76のGeである。天然におけるGeの同位体存在比は、 $^{70}\text{Ge}$ が20.5%、 $^{72}\text{Ge}$ が27.4%、 $^{73}\text{Ge}$ が7.8%、 $^{74}\text{Ge}$ が36.5%、 $^{76}\text{Ge}$ が7.8%であり、常に一定となっている。

## 【0057】

このような通常のGe結晶の熱伝導率は、例えば温度300Kにおいて、60~77W/mK程度である(参考文献13参照)。

## 【0058】

これに対し、例えば $^{70}\text{Ge}$ の同位体組成比を99.99%に設定した場合におけるゲルマニウム結晶の熱伝導率は、例えば温度300Kにおいて、100W/mK程度となる(参考文献13参照)。

## 【0059】

このことから、 $^{70}\text{Ge}$ の同位体組成比を極めて高く設定することにより、ゲルマニウム結晶における熱伝導率を、30～67%程度向上し得ることが分かる。

## 【0060】

ゲルマニウム結晶において、いずれかのGe同位体の同位体組成比を高く設定すると、通常のゲルマニウム結晶より熱伝導率が高くなるメカニズムは、上述したシリコン結晶の場合と同様と考えられる。

## 【0061】

従って、 $^{70}\text{Ge}$ の同位体存在比を高く設定した場合のみならず、 $^{72}\text{Ge}$ 、 $^{73}\text{Ge}$ 、 $^{74}\text{Ge}$ 又は $^{76}\text{Ge}$ の同位体存在比を高く設定した場合であっても、同様に熱伝導率を向上し得ると考えられる。

## 【0062】

このような検討結果から、本願発明者らは、シリコン結晶層やシリコンゲルマニウム結晶層等において、いずれかのSi同位体の同位体組成比や、いずれかのGe同位体の同位体組成比を高く設定すれば、シリコン結晶層やシリコンゲルマニウム結晶層等における熱伝導率を向上することができ、基板面に対して水平な方向の熱の散逸を促進し得るため、放熱性を向上し得る半導体基板を提供し得ることに想到した。

## 【0063】

## [第1実施形態]

本発明の第1実施形態による半導体基板及びその製造方法を図1乃至図2を用いて説明する。図1は、本実施形態による半導体基板を示す断面図である。

## 【0064】

## (半導体基板)

まず、本実施形態による半導体基板の構成について図1を用いて説明する。

## 【0065】

本実施形態による半導体基板は、歪Si/SiGe構造の半導体基板において、シリコン結晶層14における $^{28}\text{Si}$ の同位体組成比が高く設定されていることに主な特徴がある。

## 【0066】

図1に示すように、シリコン結晶基板10上には、厚さ200nmのシリコンゲルマニウム結晶層12がエピタキシャル成長されている。シリコンゲルマニウム結晶層12の組成は、例えば $\text{Si}_{0.7}\text{Ge}_{0.3}$ となっている。

## 【0067】

シリコンゲルマニウム結晶層12上には、厚さ200nmのシリコン結晶層14がエピタキシャル成長されている。シリコン結晶層14における $^{28}\text{Si}$ の同位体組成比は、例えば99.9%となっている。シリコン結晶層14の格子定数は、シリコンゲルマニウム結晶層12の格子定数と異なるため、シリコン結晶層14には結晶歪が導入されている。なお、本実施形態でシリコン結晶層14に結晶歪を導入しているのは、シリコン結晶層14におけるキャリアの移動度を向上させるためである。

## 【0068】

シリコン結晶層14の表面の面方位は、例えば $\{100\}$ となっている。

## 【0069】

MOSFETのチャネルの方向を通常の $\langle 110 \rangle$ 方位から $\langle 100 \rangle$ 方位に変更すると、pチャネルMOSFETにおいては駆動能力が15%程度向上することが報告されている（参考文献16：G. Ottaviani, et al., Phys. Rev. B12, 3318 (1975)）。

## 【0070】

なお、MOSFETのチャネル方向を $\langle 100 \rangle$ 方位とするためには、シリコン結晶層の表面の面方位が $\{100\}$ の半導体基板において、オリフラ又はノッチを $\langle 011 \rangle + 45^\circ$  又は $\langle 011 \rangle - 45^\circ$  に設定すればよい。これにより、チャネル方向が $\langle 100 \rangle$ 方位のMOSFETを形成することができる。

## 【0071】

また、露光工程において、チャネル方向が $\langle 100 \rangle$ 方位となるように半導体基板を位置合わせすることによっても、MOSFETのチャネル方向を $\langle 100 \rangle$ 方位とすることが可能である。

## 【0072】

また、シリコン結晶層の表面の面方位を $\{113\}$ としてもよい。

## 【0073】

表面の面方位が{113}の半導体ウェハ上に形成したシリコン酸化膜は、表面の面方位が{100}の半導体ウェハ上に形成したシリコン酸化膜より、絶縁性が良好であることが、TDDDB (Time Dependent Dielectric Breakdown) 法により確認されている(参考文献17: H-J. Mussig, et.al., Proc. 3rd Int'l Symp. of Advanced Sci. and Tech. of Si Mat., The Jpn Soc. Prom. Sci., 2000, p. 374)。面方位が{113}の半導体ウェハ上に形成したシリコン酸化膜が良好な絶縁性を示す理由は、シリコン酸化膜とシリコン結晶層との界面における応力が、面方位が{100}の半導体ウェハ上にシリコン酸化膜を形成した場合より小さくなること、また、{113}表面では、ラフネスが{100}表面の約2分の1であることなどが考えられる(参考文献17参照)。このことから、シリコン結晶層14の面方位を{113}とすれば、信頼性の高いMOSFET等を形成することが可能となると考えられる。

## 【0074】

また、シリコン結晶層14の面方位を{011}としてもよい。

## 【0075】

表面の面方位が{011}の半導体ウェハに形成されたpチャネルMOSFETでは、表面の面方位が{100}の半導体ウェハに形成されたpチャネルMOSFETと比較して、ホールの移動度が高くなることが報告されている(参考文献18: T. Sato, et al., Phys. Rev. B 4, 1950 (1971))。但し、表面の面方位が{011}の半導体ウェハにnチャネルMOSFETを形成した場合には、表面の面方位が{100}の半導体ウェハにnチャネルMOSFETを形成した場合と比較して、電子の移動度が20%程度低下する。

## 【0076】

しかし、CMOS回路としての動作速度は、電子より移動度の低いホールの移動度によって決まるため、pチャネルMOSFETにおけるホールの移動度を向上することが、CMOS回路の動作速度を向上する上で重要である。

## 【0077】

このように、シリコン結晶層14の面方位を{011}とすれば、pチャネル



MOSFETの更なる動作速度の向上を図ることが可能となる。

【0078】

このように本実施形態によれば、シリコン結晶層14における $^{28}\text{Si}$ の同位体組成比を99.9%と極めて高く設定しているため、シリコン結晶層14における熱伝導率を向上することができる。このため、本実施形態によれば、基板面に対して水平な方向における熱の散逸を促進することができる。従って、本実施形態によれば、マイクロプロセッサのコア部やホットスポット等から発生する熱を効果的に放熱することができる。本実施形態によれば、放熱性を向上し得る半導体基板を提供し得るため、ハイエンド超高速デバイス等における動作速度の向上や信頼性の向上に寄与することができる。

【0079】

(半導体基板の製造方法)

次に、本実施形態による半導体基板の製造方法を図2を用いて説明する。図2は、本実施形態による半導体基板の製造方法を示す工程断面図である。

【0080】

まず、図2(a)に示すように、シリコン結晶基板10を用意する。

【0081】

次に、図2(b)に示すように、例えばCVD (Chemical Vapor Deposition、化学気相堆積) 法により、シリコン結晶基板10上に、厚さ200nmのシリコンゲルマニウム結晶層12をエピタキシャル成長する。シリコンゲルマニウム結晶層12の組成は、例えば $\text{Si}_{0.7}\text{Ge}_{0.3}$ とする。 $\text{Si}$ の原料ガスとしては、例えばモノシラン( $\text{SiH}_4$ )を用いる。 $\text{Ge}$ の原料ガスとしては、例えばゲルマン( $\text{GeH}_4$ )を用いる。これらの原料ガスは、いずれも同位体存在比が特に制御されていない通常の原料ガスとする。同位体存在比が特に制御されていない通常の原料ガスを用いるため、シリコンゲルマニウム結晶層12における $\text{Si}$ 、 $\text{Ge}$ の同位体存在比は、天然における $\text{Si}$ 、 $\text{Ge}$ の同位体存在比と同様となる。

【0082】

次に、図2(c)に示すように、例えばCVD法により、シリコンゲルマニウム結晶層12上に、厚さ200nmのシリコン結晶層14をエピタキシャル成長

する。Siの原料ガスとしては、 $^{28}\text{Si}$ の同位体組成比が例えば99.9%のモノシラン( $^{28}\text{SiH}_4$ )を用いる。これにより、 $^{28}\text{Si}$ の同位体組成比が例えば99.9%のシリコン結晶層14が形成される。シリコン結晶層14とシリコンゲルマニウム結晶層12との格子定数が異なるため、シリコン結晶層14には歪が導入される。

## 【0083】

なお、シリコン結晶層14を形成する際には、シリコン結晶層14の比抵抗を制御するために、Siの原料ガスとともに、水素( $\text{H}_2$ )とボロンの原料ガスとを用いる。ボロンの原料ガスとしては、例えばジボラン( $\text{B}_2\text{H}_6$ )を用いる。しかし、シリコン結晶層14の比抵抗を制御することは、本発明の内容と直接的には関係しないため、以下の説明においては省略する。

## 【0084】

こうして、本実施形態による半導体基板が製造される。

## 【0085】

## [第2実施形態]

本発明の第2実施形態による半導体基板及びその製造方法を図3を用いて説明する。図3は、本実施形態による半導体基板を示す断面図である。図1及び図2に示す第1実施形態による半導体基板及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

## 【0086】

## (半導体基板)

まず、本実施形態による半導体基板を図3を用いて説明する。

## 【0087】

本実施形態による半導体基板は、歪Si/SiGe構造の半導体基板において、シリコンゲルマニウム結晶層12aにおける $^{70}\text{Ge}$ の同位体組成比が高く設定されていることに主な特徴がある。

## 【0088】

図3に示すように、シリコン結晶基板10上には、厚さ200nmのシリコンゲルマニウム結晶層12aがエピタキシャル成長されている。シリコンゲルマニ

ウム結晶層12aの組成は、例えば $\text{Si}_{0.7}\text{Ge}_{0.3}$ となっている。シリコンゲルマニウム結晶層12aにおける $^{70}\text{Ge}$ の同位体組成比は、例えば99.9%となっている。シリコンゲルマニウム結晶層12aにおけるSiの同位体存在比は、天然におけるSiの同位体存在比と同様となっている。

## 【0089】

なお、ここでシリコンゲルマニウム結晶層12aにおけるSiの同位体存在比を天然におけるSiの同位体存在比と同様とする場合を例に説明するが、シリコンゲルマニウム結晶層12aにおける $^{28}\text{Si}$ の同位体組成比を高く設定してもよい。即ち、シリコンゲルマニウム結晶層12aにおいて $^{70}\text{Ge}$ と $^{28}\text{Si}$ の両方の同位体組成比を高く設定してもよい。

## 【0090】

シリコンゲルマニウム結晶層12a上には、厚さ200nmのシリコン結晶層14aがエピタキシャル成長されている。シリコン結晶層14aとシリコンゲルマニウム結晶層12aとの格子定数が異なるため、シリコン結晶層14aには結晶歪が導入されている。シリコン結晶層14aにおけるSiの同位体存在比は、天然におけるSiの同位体存在比と同様となっている。シリコン結晶層14aの表面の面方位は、例えば{100}、{113}又は{011}となっている。

## 【0091】

本実施形態による半導体基板は、上述したようにシリコンゲルマニウム結晶層12aにおける $^{70}\text{Ge}$ の同位体組成比が99.9%と高く設定されていることに主な特徴がある。

## 【0092】

本実施形態によれば、シリコンゲルマニウム結晶層12aにおける $^{70}\text{Ge}$ の同位体組成比が高く設定されているため、シリコンゲルマニウム結晶層12aにおける熱伝導率を向上することができる。従って、本実施形態によっても、効率的に放熱しうる半導体基板を提供することができる。

## 【0093】

(半導体基板の製造方法)

次に、本実施形態による半導体基板の製造方法を図4を用いて説明する。図4

は、本実施形態による半導体基板の製造方法を示す工程断面図である。

【0094】

まず、図4（a）に示すように、シリコン結晶基板10を用意する。

【0095】

次に、図4（b）に示すように、例えばCVD法により、シリコン結晶基板10上に、厚さ200nmのシリコンゲルマニウム結晶層12aをエピタキシャル成長する。シリコンゲルマニウム結晶層12aの組成は、例えば $\text{Si}_{0.7}\text{Ge}_{0.3}$ とする。Geの原料ガスとしては、 $^{70}\text{Ge}$ の同位体組成比が例えば99.9%の原料ガスを用いる。Siの原料ガスとしては、Siの同位体存在比が特に制御されていない通常の原料ガスを用いる。これにより、 $^{70}\text{Ge}$ の同位体組成比が例えば99.9%のシリコンゲルマニウム結晶層が形成される。

【0096】

次に、図4（c）に示すように、例えばCVD法により、シリコンゲルマニウム結晶層12a上に、厚さ20nmのシリコン結晶より成るシリコン結晶層14aをエピタキシャル成長する。原料ガスとしては、Siの同位体存在比が特に制御されていない通常の原料ガスを用いる。

【0097】

こうして、本実施形態による半導体基板が製造される。

【0098】

[第3実施形態]

本発明の第3実施形態による半導体基板及びその製造方法を図5を用いて説明する。図5は、本実施形態による半導体基板を示す断面図である。図1乃至図4に示す第1又は第2実施形態による半導体基板及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0099】

（半導体基板）

まず、本実施形態による半導体基板を図5を用いて説明する。

【0100】

本実施形態による半導体基板は、歪Si/SiGe構造の半導体基板において

、シリコンゲルマニウム結晶層 12a における  $^{70}\text{Ge}$  の同位体組成比を高く設定するとともに、シリコン結晶層 14 における  $^{28}\text{Si}$  の同位体組成比を高く設定していることに主な特徴がある。

#### 【0101】

図5に示すように、シリコン結晶基板 10 上には、厚さ 200 nm のシリコンゲルマニウム結晶層 12a がエピタキシャル成長されている。シリコンゲルマニウム結晶層 12a における  $^{70}\text{Ge}$  の同位体組成比は、例えば 99.9% と高く設定されている。シリコンゲルマニウム結晶層 12a における  $\text{Si}$  の同位体存在比は、天然における  $\text{Si}$  の同位体存在比と同様となっている。

#### 【0102】

なお、ここでシリコンゲルマニウム結晶層 12a における  $\text{Si}$  の同位体存在比を天然における  $\text{Si}$  の同位体存在比と同様とする場合を例に説明するが、シリコンゲルマニウム結晶層 12a における  $^{28}\text{Si}$  の同位体組成比を高く設定してもよい。即ち、シリコンゲルマニウム結晶層 12a において  $^{70}\text{Ge}$  と  $^{28}\text{Si}$  の両方の同位体組成比を高く設定してもよい。

#### 【0103】

シリコンゲルマニウム結晶層 12a 上には、厚さ 20 nm のシリコン結晶層 14 がエピタキシャル成長されている。シリコン結晶層 14 には、結晶歪が導入されている。シリコン結晶層 14 における  $^{28}\text{Si}$  の同位体組成比は、例えば 99.9% と高く設定されている。シリコン結晶層 14 の表面の面方位は、例えば  $\{100\}$ 、 $\{113\}$  又は  $\{011\}$  となっている。

#### 【0104】

本実施形態による半導体基板は、上述したように、シリコンゲルマニウム結晶層 12a における  $^{70}\text{Ge}$  の同位体組成比を高く設定するとともに、シリコン結晶層 14 における  $^{28}\text{Si}$  の同位体組成比をも高く設定していることに主な特徴がある。

#### 【0105】

本実施形態によれば、シリコンゲルマニウム結晶層 12a における  $^{70}\text{Ge}$  の同位体組成比が高く設定されているとともに、シリコン結晶層 14 における  $^{28}\text{Si}$

の同位体組成比が高く設定されているため、シリコンゲルマニウム結晶層 12 a とシリコン層 14 の両方における熱伝導率を向上することができる。従って、本実施形態によれば、より効果的に放熱し得る半導体基板を提供することができる。

#### 【0106】

##### (半導体基板の製造方法)

次に、本実施形態による半導体基板の製造方法を図 6 を用いて説明する。図 6 は、本実施形態による半導体基板の製造方法を示す工程断面図である。

#### 【0107】

まず、図 6 (a) に示すように、シリコン結晶基板 10 を用意する。

#### 【0108】

次に、図 6 (b) に示すように、例えば CVD 法により、シリコン結晶基板 10 上に、厚さ 200 nm のシリコンゲルマニウム結晶層 12 a をエピタキシャル成長する。シリコンゲルマニウム結晶層 12 a の組成は、例えば  $\text{Si}_{0.7}\text{Ge}_{0.3}$  とする。Ge の原料ガスとしては、 $^{70}\text{Ge}$  の同位体組成比が例えば 99.9% の原料ガスを用いる。Si の原料ガスとしては、Si の同位体存在比が特に制御されていない原料ガスを用いる。これにより、 $^{70}\text{Ge}$  の同位体組成比が例えば 99.9% のシリコンゲルマニウム結晶層 12 a が形成される。

#### 【0109】

次に、例えば CVD 法により、シリコンゲルマニウム結晶層 12 a 上に、厚さ 20 nm のシリコン結晶層 14 をエピタキシャル成長する。Si の原料ガスとしては、 $^{28}\text{Si}$  の同位体組成比が 99.9% の原料ガスを用いる。

#### 【0110】

こうして、本実施形態による半導体基板が製造される。

#### 【0111】

##### [第 4 実施形態]

本発明の第 4 実施形態による半導体基板及びその製造方法を図 7 及び図 8 を用いて説明する。図 7 は、本実施形態による半導体基板を示す断面図である。図 1 乃至図 6 に示す第 1 乃至第 3 実施形態による半導体基板及びその製造方法と同一

の構成要素には、同一の符号を付して説明を省略または簡潔にする。

#### 【0112】

##### (半導体基板)

本実施形態による半導体基板は、支持基板としてシリコンゲルマニウム結晶基板が用いられており、シリコンゲルマニウム結晶基板上に、 $^{28}\text{Si}$ の同位体組成比の高いシリコン結晶層が形成されていることに主な特徴がある。

#### 【0113】

図7に示すように、本実施形態では、支持基板としてシリコンゲルマニウム結晶基板10aが用いられている。シリコンゲルマニウム結晶基板10aの組成は、例えば $\text{Si}_{0.7}\text{Ge}_{0.3}$ となっている。

#### 【0114】

シリコンゲルマニウム結晶基板10上には、厚さ20nmシリコン結晶層14がエピタキシャル成長されている。シリコン結晶層14には、結晶歪が導入されている。シリコン結晶層14における $^{28}\text{Si}$ の同位体組成比は、例えば99.9%となっている。シリコン結晶層14の表面の面方位は、例えば{100}、{113}又は{011}となっている。

#### 【0115】

本実施形態による半導体基板は、上述したように、支持基板としてシリコンゲルマニウム結晶基板10aを用い、シリコンゲルマニウム結晶基板10a上に $^{28}\text{Si}$ の同位体組成比が高いシリコン結晶層14が形成されていることに主な特徴がある。

#### 【0116】

本実施形態によれば、支持基板としてシリコンゲルマニウム結晶基板10aが用いられているため、結晶歪が導入されたシリコン結晶層14を支持基板上に直接形成することができる。従って、本実施形態によれば、放熱性を向上しうる半導体基板をより簡便な工程で製造することが可能となる。

#### 【0117】

##### (半導体基板の製造方法)

次に、本実施形態による半導体基板の製造方法を図8を用いて説明する。図8





は、本実施形態による半導体基板の製造方法を示す工程断面図である。

【0118】

まず、図8(a)に示すように、シリコンゲルマニウム結晶基板10aを用意する。シリコンゲルマニウム結晶基板10aの組成は、例えば $\text{Si}_{0.7}\text{Ge}_{0.3}$ とする。

【0119】

次に、例えばCVD法により、シリコンゲルマニウム結晶基板10a上に、厚さ20nmのシリコン結晶層14をエピタキシャル成長する。Siの原料ガスとしては、 $^{28}\text{Si}$ の同位体組成比が例えば99.9%のモノシラン( $^{28}\text{SiH}_4$ )を用いる。これにより、 $^{28}\text{Si}$ の同位体組成比が例えば99.9%のシリコン結晶層14が形成される。シリコン結晶層14とシリコンゲルマニウム結晶基板10aとの格子定数が異なるため、シリコン結晶層14には歪が導入される。

【0120】

こうして、本実施形態による半導体基板が製造される。

【0121】

〔第5実施形態〕

本発明の第5実施形態による半導体基板及びその製造方法を図9乃至図11を用いて説明する。図9は、本実施形態による半導体基板を示す断面図である。図1乃至図8に示す第1乃至第4実施形態による半導体基板及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0122】

(半導体基板)

まず、本実施形態による半導体基板について図9を用いて説明する。

【0123】

本実施形態による半導体基板は、貼り合わせ法により形成されたSOI基板において、シリコン結晶層14bにおける $^{28}\text{Si}$ の同位体組成比が高く設定されていることに主な特徴の一つがある。

【0124】

図9に示すように、本実施形態では、シリコン結晶より成る支持基板10bと

シリコン結晶層14bとが絶縁膜16を介して貼り合わせられている。絶縁膜16は、厚さ200nmの $\text{SiO}_2$ より成るものである。シリコン結晶層14bにおける $^{28}\text{Si}$ の同位体組成比は、例えば99.9%となっている。支持基板10bは、同位体存在比が特に制御されていない通常のシリコン結晶基板である。本実施形態では、貼り合わせ法により形成されたSOI基板であるため、支持基板10bと絶縁膜16との界面における酸素の濃度プロファイル、及び、絶縁膜とシリコン結晶層14bとの界面における酸素の濃度プロファイルが、SIMOX法により形成されたSOI基板の場合と比較して、急峻となっている。

## 【0125】

シリコン結晶層14bの表面の面方位は、例えば{100}となっている。

## 【0126】

特開平9-246505号公報には、シリコン結晶層の<011>軸と支持基板の<011>軸とが互いに10~45°の角度をなすように貼り合わせられたSOI基板が記載されている。このようなSOI基板を用いれば、通常の露光工程でMOSFETを形成した場合であっても、トランジスタのチャネル方向を<100>方位にすることができる。従って、本実施形態による半導体基板を製造する際に、特開平9-246505公報に記載された貼り合わせ法を用いれば、通常の露光工程でMOSFETを形成した場合であっても、チャネル方向を<100>方位にすることが可能である。

## 【0127】

なお、シリコン結晶層の面方位を{113}や{011}に設定してもよい。

## 【0128】

本実施形態による半導体基板は、上述したように、シリコン結晶層14bにおける $^{28}\text{Si}$ の同位体組成比が99.9%と極めて高く設定されていることに主な特徴の一つがある。

## 【0129】

本実施形態によれば、シリコン結晶層14bにおける $^{28}\text{Si}$ の同位体組成比が99.9%と極めて高く設定されているため、シリコン結晶層14bにおける熱伝導率を向上することができる。従って、本実施形態によれば、シリコン結晶層

14b等に形成されるトランジスタ（図示せず）等において発生するジュール熱を、効果的に放熱し得る半導体基板を提供することができる。

【0130】

また、本実施形態による半導体基板は、上述したように、貼り合わせ法により形成されたSOI基板であることにも主な特徴の一つがある。

【0131】

参考文献11には、シリコン結晶層における $^{28}\text{Si}$ の同位体組成比が92.2%以上に設定されたSOI基板が記載されている。しかし、参考文献11に記載されたSOI基板では、以下の理由により、良好な放熱性は得られないと考えられる。

【0132】

参考文献11では、埋め込み酸化膜がSIMOX法により形成されている。SIMOX法により埋め込み酸化膜を形成する際には、例えば、シリコン結晶基板の表面側から、加速エネルギー180keV、ドーズ量 $4 \times 10^{17} \text{cm}^{-2}$ で、酸素イオン( $^{16}\text{O}^+$ )を注入した後、アルゴンと酸素との混合ガス雰囲気中で、1350℃、数時間の熱処理を行うことにより埋め込み酸化膜を形成する（参考文献19：S. Nakashima, et al., J. Electrochem. Soc. 143, 244 (1996)）。

【0133】

このようにして埋め込み酸化膜をSIMOX法により形成する際には、シリコン結晶層の表面に形成されるシリコン酸化膜とシリコン結晶層との界面、及び埋め込み酸化膜とシリコン結晶層との界面の双方から、大量の格子間Si原子がシリコン結晶層中に導入される。埋め込み酸化膜を形成する際の熱処理温度である1350℃は、シリコン結晶の溶解温度である1400℃に対して極めて近い温度であるため、膨大な数の格子間Si原子がシリコン結晶層中に導入される。シリコン結晶層中に導入された格子間Si原子は、シリコン結晶層が埋め込み酸化膜とシリコン酸化膜とにより挟まれているため、逃げ場がなく、シリコン結晶層中にとどまってしまう。

【0134】

SOI基板を用いたハイエンド超高速デバイスにおいては、完全空乏型（Full

y Depleted) 型の MOSFET を用いるため、シリコン結晶層の厚さは極めて薄く、例えば 50 nm 以下である。従って、MOSFET の動作速度の向上を図るべくシリコン結晶層の厚さを薄く設定した SOI 基板においては、シリコン結晶層中における格子間 Si 原子の濃度は極めて高くなる。そして、MOSFET を形成する際に 1000℃ 程度の熱処理が行われると、格子間 Si 原子が析出し、積層欠陥 (Stacking Fault) が形成されてしまう。

## 【0135】

また、SIMOX 法により埋め込み酸化膜を形成した SOI 基板においては、酸素イオンの注入に起因する転位が、シリコン結晶層中に数百個 /  $\text{cm}^2$  の密度で存在していることが報告されている (参考文献 20 : S. Nakashima, et al., Electron. Lett. 26, 1647 (1990))。

## 【0136】

熱伝導とは、熱励起された格子振動が波として伝播することであるため、シリコン結晶層中に莫大な数の結晶欠陥や転位が存在すると、格子振動の進行波が散乱されてしまう。このため、参考文献 11 に記載された SOI 基板では、良好な放熱性は得られない。

## 【0137】

これに対し、本実施形態によれば、貼り合わせ法により SOI 基板を形成するため、シリコン結晶層 14 b に積層欠陥や転位が生じるのを防止することができる。従って、本実施形態によれば、シリコン結晶層 14 b における熱伝導率を向上することができ、効果的に放熱しうる半導体基板を提供することができる。

## 【0138】

## (半導体基板の製造方法)

次に、本実施形態による半導体基板の製造方法について図 10 及び図 11 を用いて説明する。図 10 及び図 11 は、本実施形態による半導体基板の製造方法を示す工程断面図である。

## 【0139】

まず、図 10 (a) に示すように、 $^{28}\text{Si}$  の同位体濃度が例えば 99.9% のシリコン結晶基板 18 を用意する。このシリコン結晶基板 18 は、後工程におい

て薄膜化されて、SOI基板のシリコン結晶層14bとなるものである。

【0140】

次に、図10(b)に示すように、熱酸化法又はCVD法により、シリコン結晶基板14bの表面に $\text{SiO}_2$ より成る絶縁膜16を形成する。

【0141】

また、図10(c)に示すように、シリコン結晶より成る支持基板10bを用意する。

【0142】

次に、図11(a)に示すように、シリコン結晶基板18と支持基板10bとを、絶縁膜16を介して貼り合わせる。

【0143】

次に、図11(b)に示すように、機械的加工又は化学的エッチングにより、シリコン結晶基板18を薄膜化する。これにより、シリコン結晶基板18が薄膜化されて成るシリコン結晶層14bが形成される。

【0144】

こうして、本実施形態による半導体基板が製造される。

【0145】

(変形例)

次に、本実施形態による半導体基板の製造方法の変形例を図12及び図13を用いて説明する。図12及び図13は、本変形例による半導体基板の製造方法を示す工程断面図である。

【0146】

本変形例による半導体基板の製造方法は、劈開法を用いてシリコン結晶基板18を薄膜化することにより、シリコン結晶基板18より成るシリコン結晶層14bを形成することに主な特徴がある。

【0147】

まず、シリコン結晶基板18の表面に絶縁膜16を形成する工程までは、図10(a)及び図10(b)を用いて上述した半導体基板の製造方法と同様であるので、説明を省略する(図12(a)及び図12(b)参照)。

## 【0148】

次に、図12(c)に示すように、絶縁膜16を介して、シリコン結晶基板18中に水素イオンを導入する。なお、図中、水素イオンが導入された領域20は、×印を用いて表されている。

## 【0149】

次に、図13(a)に示すように、シリコン結晶基板18と支持基板10bとを絶縁膜16を介して貼り合わせる。

## 【0150】

次に、図13(b)に示すように、水素イオンが導入された領域20においてシリコン結晶基板18を分離する。こうして、劈開法により、シリコン結晶基板18が薄膜化され、シリコン結晶基板18より成るシリコン結晶層14bが形成される。なお、シリコン結晶層14bの表面を更に平坦化する必要がある場合には、シリコン結晶層14b表面をCMP (Chemical Mechanical Polishing、化学的機械的研磨) 法により研磨する(図示せず)。

## 【0151】

このように、劈開法によりシリコン結晶基板18を薄膜化することにより、シリコン結晶基板18より成るシリコン結晶層14bを形成してもよい。

## 【0152】

## [第6実施形態]

本発明の第6実施形態による半導体基板及びその製造方法を図14乃至図16を用いて説明する。図14は、本実施形態による半導体基板を示す断面図である。図1乃至図13に示す第1乃至第5実施形態による半導体基板及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

## 【0153】

## (半導体基板)

まず、本実施形態による半導体基板について図14を用いて説明する。

## 【0154】

本実施形態による半導体基板は、貼り合わせ法により形成されたSOI基板において、絶縁膜16とシリコン結晶層14bとの界面近傍領域におけるシリコン

結晶層 14 b 側に、C（炭素）原子が導入されていることに主な特徴がある。

【0155】

図 14 に示すように、シリコン結晶層 14 b と絶縁膜 16 との界面近傍領域におけるシリコン結晶層 14 b 側に、C 原子が導入されている。なお、図中、C 原子が導入されている領域は、ドットを用いて表されている。また、図中、ドットの密度が高いほど、導入されている C 原子の濃度は高くなっている。シリコン結晶層 14 b と絶縁膜 16 との界面近傍領域における C の濃度は、最も高濃度の部分で例えば  $5 \times 10^{20} \text{ cm}^{-3}$  程度となっている。

【0156】

本実施形態で、シリコン結晶層 14 b と絶縁膜 16 との界面近傍領域のシリコン結晶層 14 b 側に C 原子を導入しているのは、絶縁膜 16 とシリコン結晶層 14 b との界面近傍領域においてシリコン結晶層 14 b に加わる引っ張り歪を緩和するためである。

【0157】

一般に、シリコン結晶とシリコン酸化膜との界面には歪が存在することが知られている。SOI 基板のシリコン結晶層と埋め込み絶縁膜との界面にも同様に歪が生じていると考えられる。シリコン結晶層の熱膨張率は、シリコン酸化膜の熱膨張率より大きいため、単にシリコン結晶上にシリコン酸化膜を形成した場合には、シリコン結晶層とシリコン酸化膜との界面におけるシリコン結晶層側には引っ張り歪が生じ、シリコン結晶層とシリコン酸化膜との界面におけるシリコン酸化膜側には圧縮歪が生じる。シリコン結晶層とシリコン酸化膜との界面におけるシリコン結晶層側に生ずる引っ張り応力は、 $1 \times 10^9 \sim 4 \times 10^9 \text{ dyn/cm}^2$  程度となり、また、シリコン結晶層とシリコン酸化膜との界面におけるシリコン結晶層側に生ずる引っ張り歪は、 $1 \times 10^{-3} \sim 4 \times 10^{-3}$  程度となる（参考文献 2.1 : R. J. Jaccodine, et al., J. Appl. Phys. 37, 2429 (1966)、参考文献 2.2 : G. Lucovsky, et al., The Physics and Chemistry of  $\text{SiO}_2$  and the  $\text{SiO}_2$  Interface, edited by C. R. Helms, et al., Plenum Press, NY, 1988, p. 139）。

【0158】

そして、このようなシリコン結晶層とシリコン酸化膜との界面において生ずる応力は、シリコン結晶層におけるいずれかのSi同位体の同位体組成比を高く設定した場合であっても、同様に生ずると考えられる。シリコン結晶層と絶縁膜との界面近傍領域に生ずる歪は、シリコン結晶層内を伝播する格子振動波を散乱するため、熱伝導率を低下させる要因となると考えられる。

## 【0159】

そこで、本実施形態では、シリコン結晶層14bと絶縁膜16との界面近傍領域におけるシリコン結晶層14b側にC原子を導入している。C原子の共有結合半径はSi原子の共有結合半径より小さいため、C原子を導入することにより、シリコン結晶層14bにおいて拡張している結晶格子を収縮させることができ、引っ張り歪を緩和することができる（歪補償の原理）。

## 【0160】

なお、C原子は、シリコン結晶14b中において電氣的に中性な性質を有するため、シリコン結晶層14b中にC原子を導入しても、シリコン結晶層14bに形成されるMOSFET等の電氣的特性に悪影響を及ぼすことはない。

## 【0161】

本実施形態によれば、シリコン結晶層14bと絶縁膜16との界面近傍領域におけるシリコン結晶層14b側の結晶歪を緩和することができるため、シリコン結晶層14bにおける熱伝導率をより向上することができ、より効果的に放熱する半導体基板を提供することができる。

## 【0162】

なお、ここでは、絶縁膜16とシリコン結晶層14bとの界面近傍領域におけるシリコン結晶層14b側に導入するCの濃度を $5 \times 10^{20} \text{ cm}^{-3}$ としたが、絶縁膜16とシリコン結晶層との界面近傍領域におけるシリコン結晶層14b側に導入するCの濃度は、 $5 \times 10^{20} \text{ cm}^{-3}$ に限定されるものではない。

## 【0163】

絶縁膜16とシリコン結晶層14bとの界面近傍領域におけるシリコン結晶層14b側に加わる引っ張り歪を緩和し得るように、導入するCの濃度を適宜設定すればよい。絶縁膜16とシリコン結晶層14bとの界面近傍領域におけるシリ



コン結晶層14b側に導入するC原子の適切な濃度は、以下のようにして求めることができる。

## 【0164】

不純物を添加することにより結晶格子内に発生する歪 $\varepsilon$ は、以下のような式により求めることができる(参考文献23: H. J. Herzog, et al., J. Electrochem. Soc. 131, 2969 (1984))。

## 【0165】

$$\varepsilon = \alpha_i \times N_C \quad (i=L, V) \quad \dots (2)$$

$$\alpha_L = [1 - (R_C/R_{Si})] \times D^{-1} \quad \dots (3)$$

$$\alpha_V = [1 - (R_C/R_{Si})^3] \times (3D)^{-1} \quad \dots (4)$$

ここで、 $\alpha_i$ は格子収縮係数(lattice contraction coefficient)であり、 $N_C$ は添加されたC原子の濃度であり、 $R_{Si}$ はSiの共有結合半径であり、 $R_C$ はCの共有結合半径であり、 $D$ はSi結晶格子の原子密度である。 $\alpha_L$ は線形モデルの格子収縮係数であり、 $\alpha_V$ は体積モデルの格子収縮係数である。

## 【0166】

Siの共有結合半径0.117nm(参考文献23参照)、Cの共有結合半径0.077nm(参考文献24: 玉虫文一 他、理化学辞典、第3版増補版、1983、岩波書店、p. 324)、及びSi結晶の原子密度 $5 \times 10^{22} \text{ cm}^{-2}$ を、式(3)、式(4)に導入すると、 $\alpha_L$ 、 $\alpha_V$ は以下ようになる。

## 【0167】

$$\alpha_L = 6.84 \times 10^{-24} \quad \dots (5)$$

$$\alpha_V = 4.77 \times 10^{-24} \quad \dots (6)$$

次に、式(2)、(5)、(6)を用い、 $\varepsilon = 1 \times 10^{-3}$ とおくと、シリコン結晶層14bにおける引っ張り歪を緩和するためのC原子の濃度 $N_C$ は、

$$N_C = 1.46 \times 10^{20} \sim 2.10 \times 10^{20} \text{ cm}^{-3}$$

となる。

## 【0168】

また、式(2)、(5)、(6)を用い、 $\varepsilon = 4 \times 10^{-3}$ とおくと、シリコン結晶層14bにおける引っ張り歪を緩和するためのC原子の濃度 $N_C$ は、

$$N_C = 5.85 \times 10^{20} \sim 8.39 \times 10^{20} \text{ cm}^{-3}$$

となる。

#### 【0169】

ここで、同一の歪に対して  $N_C$  の値に幅が存在するのは、線形モデルと体積モデルの双方を用いて計算しているためである。

#### 【0170】

以上より、絶縁膜16とシリコン結晶層14bとの界面近傍領域におけるシリコン結晶層側の引っ張り歪の緩和を実効的なものとするためには、導入するC原子の濃度を  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$  の範囲とすることが適切と考えられる。

#### 【0171】

なお、絶縁膜16とシリコン結晶層14bとの界面近傍領域におけるシリコン結晶層側14bに導入するC原子の濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$  に限定されるものではない。Cの濃度が  $1 \times 10^{20} \text{ cm}^{-3}$  より低い場合や、Cの濃度が  $1 \times 10^{21} \text{ cm}^{-3}$  より高い場合であっても、絶縁膜16とシリコン結晶層14bとの界面近傍領域におけるシリコン結晶層14b側の引っ張り歪をある程度緩和し得るためである。即ち、絶縁膜16とシリコン結晶層14bとの界面近傍領域におけるシリコン結晶層14b側にC原子が導入されてさえいれば、絶縁膜16とシリコン結晶層14bとの界面近傍領域におけるシリコン結晶層14b側の引っ張り歪をある程度緩和することが可能である。

#### 【0172】

なお、導入するC原子としては、 $^{12}\text{C}$  を用いてもよいし、 $^{13}\text{C}$  を用いてもよい。しかし、天然における $^{12}\text{C}$ の同位体存在比は、98.99%と極めて高い（参考文献25：玉虫文一 他、理化学辞典、第3版増補版、1983、岩波書店、p. 1560）。即ち、導入するCの同位体存在比を敢えて制御しなくても、 $^{12}\text{C}$ の同位体組成比は極めて高い。従って、同位体存在比を制御することなく、通常のC原子を導入しても、 $^{12}\text{C}$ の同位体組成比を制御した場合と同様の効果が得られると考えられる。

#### 【0173】

以上のように、本実施形態によれば、貼り合わせ法により形成されたSOI基板の、絶縁膜16とシリコン結晶層14bとの界面近傍領域におけるシリコン結晶層側14bにC原子が導入されているため、シリコン結晶層14bにおける引っ張り歪を緩和することができる。本実施形態によれば、シリコン結晶層14bにおける引っ張り歪を緩和することができるため、シリコン結晶層14bにおける熱伝導率をより向上することができ、放熱性の良好な半導体基板を提供することができる。

## 【0174】

また、SOI基板を用いたハイエンド超高速デバイスにおいては、完全空乏型のMOSFETが形成される場合が多い。完全空乏型のMOSFETでは、動作時において、空乏層がシリコン結晶層14bと絶縁膜16との界面に達する。このため、MOSFETの電気的特性は、シリコン結晶層14bと絶縁膜16との界面における歪の影響を受けやすい。本実施形態によれば、上述したように、シリコン結晶層14bと絶縁膜16との界面における歪を緩和することができるため、MOSFETの電気的特性をも向上することができる。

## 【0175】

このように、本実施形態によれば、シリコン結晶層14bにおける熱伝導率を向上することができるだけでなく、シリコン結晶層14bに形成されるMOSFET等の電気的特性をも向上することができる。

## 【0176】

なお、ここでは、シリコン結晶層14bにおける $^{28}\text{Si}$ の同位体組成比が高く設定されたSOI基板において、シリコン結晶層14bと絶縁膜16との界面近傍領域におけるシリコン結晶層14b側にC原子を導入する場合を例に説明したが、シリコン結晶層14bにおけるSiの同位体存在比が特に制御されていない通常のSOI基板においても、シリコン結晶層14bと絶縁膜16との界面近傍領域におけるシリコン結晶層14b側にC原子を導入すれば、シリコン結晶層14bに形成されるMOSFET等の電気的特性を、同様に向上することが可能である。

## 【0177】

## (半導体基板の製造方法)

次に、本実施形態による半導体基板の製造方法を図15及び図16を用いて説明する。図15及び図16は、本実施形態による半導体基板の製造方法を示す工程断面図である。

## 【0178】

まず、図15(a)に示すように、 $^{28}\text{Si}$ の同位体濃度が例えば99.9%のシリコン結晶基板18を用意する。

## 【0179】

次に、図15(b)に示すように、イオン注入法により、シリコン結晶基板18の表面近傍領域にC原子を導入する。この際、シリコン結晶基板18の表面近傍領域におけるCの濃度が、例えば $5 \times 10^{20} \text{ cm}^{-3}$ となるようにする。また、シリコン結晶基板18の表面からシリコン結晶基板18の内部に向かって、Cの濃度が徐々に低くなるように設定する。なお、図中、C原子はドットを用いて表されている。図中、ドットの濃度が高いほどCの濃度が高くなっている。

## 【0180】

次に、図15(c)に示すように、熱酸化法又はCVD法により、シリコン結晶基板18の表面に $\text{SiO}_2$ より成る絶縁膜16を形成する。

## 【0181】

次に、図16(a)に示すように、絶縁膜16側から、シリコン結晶基板18中に水素イオンを導入する。なお、図中、水素イオンが導入された領域20は、×印を用いて表されている。

## 【0182】

次に、図16(b)に示すように、シリコン結晶基板18と支持基板10bとを絶縁膜16を介して貼り合わせる。

## 【0183】

次に、図16(c)に示すように、劈開法により、水素イオンが導入された領域20において、シリコン結晶基板18を分離する。これにより、シリコン結晶基板18を薄膜化して成るシリコン結晶層14が形成される。

## 【0184】

こうして、本実施形態による半導体基板が製造される。

#### 【0185】

##### (変形例(その1))

次に、本実施形態による半導体基板の製造方法の変形例(その1)を図17及び図18を用いて説明する。図17及び図18は、本変形例による半導体基板の製造方法を示す工程断面図である。

#### 【0186】

本変形例による半導体基板の製造方法は、同位体存在比が特に制御されていない通常のシリコン結晶基板22上に、 $^{28}\text{Si}$ の同位体濃度が例えば99.9%のシリコン結晶層14cを形成し、このシリコン結晶層14cを絶縁膜16を介して支持基板10bと貼り合わせることにより、SOI基板を製造することに主な特徴がある。

#### 【0187】

まず、図17(a)に示すように、同位体存在比が制御されていない通常のシリコン結晶基板22を用意する。

#### 【0188】

次に、図17(b)に示すように、例えばCVD法により、 $^{28}\text{Si}$ の同位体組成比が99.9%のシリコン結晶層14cをエピタキシャル成長する。シリコン結晶層14cの厚さは、例えば500nmとする。原料ガスとしては、 $^{28}\text{Si}$ の同位体組成比が例えば99.9%の原料ガスを用いる。これにより、 $^{28}\text{Si}$ の同位体組成比が例えば99.9%のシリコン結晶層14cが形成される。

#### 【0189】

次に、図17(c)に示すように、イオン注入法により、シリコン結晶層14cの表面近傍領域にC原子を導入する。この際、シリコン結晶層14cの表面近傍領域におけるCの濃度が、例えば $5 \times 10^{20} \text{ cm}^{-3}$ となるようにする。また、シリコン結晶層14cの表面からシリコン結晶層14cの内部に向かって、Cの濃度が徐々に低くなるように設定する。

#### 【0190】

次に、図17(d)に示すように、例えば熱酸化法により、シリコン結晶層1

4 c の表面に  $\text{SiO}_2$  より成る絶縁膜 16 を形成する。

【0191】

次に、図 18 (a) に示すように、絶縁膜 16 を介して、シリコン結晶層 14 c 中に水素イオンを導入する。この際、C 原子が導入されている領域より深い領域に、水素イオンを導入する。図中、水素イオンが導入された領域 20 は、×印を用いて表されている。

【0192】

次に、図 18 (b) に示すように、シリコン結晶基板 22 と支持基板 10 b とを、シリコン結晶層 14 c 及び絶縁膜 16 を介して貼り合わせる。

【0193】

次に、図 18 (c) に示すように、劈開法により、水素イオンが導入された領域 20 においてシリコン結晶層 14 c を分離する。

【0194】

こうして、本変形例による半導体基板が製造される。

【0195】

このように、同位体存在比が制御されていない通常のシリコン結晶基板 22 上に、 $^{28}\text{Si}$  の同位体濃度が例えば 99.9% のシリコン結晶層 14 c を形成し、このシリコン結晶層 14 c を絶縁膜 16 を介して支持基板 10 b に貼り合わせるにより、SOI 基板を製造してもよい。

【0196】

(変形例 (その 2))

次に、本実施形態による半導体基板の製造方法の変形例 (その 2) を図 19 を用いて説明する。図 19 は、本変形例による半導体基板の製造方法を示す工程断面図である。

【0197】

本変形例による半導体基板の製造方法は、 $^{28}\text{Si}$  の同位体濃度が例えば 99.9% のシリコン結晶基板 18 上に絶縁膜 16 を形成した後に、絶縁膜 16 を介して、シリコン結晶基板 18 と絶縁膜 16 との界面近傍領域におけるシリコン結晶層 18 側に C 原子を導入することに主な特徴がある。

## 【 0 1 9 8 】

まず、 $^{28}\text{Si}$  の同位体濃度が例えば 99.9% のシリコン結晶基板 18 の表面に、 $\text{SiO}_2$  より成る絶縁膜 16 を形成する工程までは、図 10 (a) 及び図 10 (b) を用いて上述した半導体基板の製造方法と同様であるので、説明を省略する (図 19 (a) 及び図 19 (b) 参照)。

## 【 0 1 9 9 】

次に、図 19 (c) に示すように、イオン注入法により、絶縁膜 16 を介して、シリコン結晶基板 18 と絶縁膜 16 との界面近傍領域におけるシリコン結晶基板 18 側に C を導入する。C の濃度は、例えば  $5 \times 10^{20} \text{ cm}^{-3}$  とする。また、シリコン結晶基板 18 と絶縁膜 16 との界面からシリコン結晶基板 18 の内部に向かって、C の濃度が徐々に低くなるように設定する。

## 【 0 2 0 0 】

この後の工程は、図 16 (a) 乃至図 16 (c) を用いて上述した半導体基板の製造方法と同様であるので、説明を省略する。

## 【 0 2 0 1 】

こうして、本変形例による半導体基板が製造される。

## 【 0 2 0 2 】

このように、 $^{28}\text{Si}$  の同位体濃度が例えば 99.9% のシリコン結晶基板 18 上に絶縁膜 16 を形成した後に、絶縁膜 16 を介してシリコン結晶基板 18 に C 原子を導入するようにしてもよい。

## 【 0 2 0 3 】

(変形例 (その 3))

次に、本実施形態による半導体基板の製造方法の変形例 (その 3) を図 20 を用いて説明する。図 20 は、本変形例による半導体基板の製造方法を示す工程断面図である。

## 【 0 2 0 4 】

本変形例による半導体基板の製造方法は、 $\text{Si}$  の同位体濃度が制御されていないシリコン結晶基板 22 上に、 $^{28}\text{Si}$  の同位体濃度が例えば 99.9% のシリコン結晶層 14 c を形成し、更にシリコン結晶層 14 c 上に絶縁膜 16 を形成した

後で、絶縁膜16を介してシリコン結晶層14cにC原子を導入することに主な特徴がある。

#### 【0205】

まず、同位体存在比が特に制御されていない通常のシリコン結晶基板22上に、 $^{28}\text{Si}$ の同位体組成比が99.9%のシリコン結晶層をエピタキシャル成長する工程までは、図17(a)及び図17(b)に示す半導体基板の製造方法と同様であるので説明を省略する(図20(a)及び図20(b)参照)。

#### 【0206】

次に、図20(c)に示すように、例えば熱酸化法により、シリコン結晶層14cの表面に $\text{SiO}_2$ より成る絶縁膜16を形成する。

#### 【0207】

次に、図20(d)に示すように、イオン注入法により、絶縁膜16を介して、シリコン結晶層14cと絶縁膜16との界面近傍領域におけるシリコン結晶層14c側にC原子を導入する。この際、シリコン結晶層14cと絶縁膜16との界面近傍領域におけるCの濃度が、例えば $5 \times 10^{20} \text{ cm}^{-3}$ となるようにする。また、シリコン結晶層14cと絶縁膜16との界面からシリコン結晶層14cの内部に向かって、Cの濃度が徐々に低くなるように設定する。

#### 【0208】

この後の工程は、図18(a)乃至図18(c)を用いて上述した半導体基板の製造方法と同様であるので、説明を省略する。

#### 【0209】

こうして、本変形例による半導体基板が製造される。

#### 【0210】

このように、Siの同位体濃度が制御されていないシリコン結晶基板22上に、 $^{28}\text{Si}$ の同位体濃度が例えば99.9%のシリコン結晶層14cを形成し、更にシリコン結晶層14c上に絶縁膜16を形成した後で、絶縁膜16を介してシリコン結晶層14cにC原子を導入するようにしてもよい。

#### 【0211】

(変形例(その4))



次に、本実施形態による半導体基板の製造方法の変形例（その４）を図 2 1 及び図 2 2 を用いて説明する。図 2 1 及び図 2 2 は、本変形例による半導体基板の製造方法を示す工程断面図である。

#### 【0 2 1 2】

本変形例による半導体基板の製造方法は、シリコン結晶基板 1 8 を薄膜化して、シリコン結晶基板 1 8 より成るシリコン結晶層 1 4 b を形成した後で、シリコン結晶層 1 4 b と絶縁膜 1 6 との界面近傍領域におけるシリコン結晶層 1 4 b 側に C 原子を導入することに主な特徴がある。

#### 【0 2 1 3】

まず、 $^{28}\text{Si}$  の同位体濃度が例えば 99.9 % のシリコン結晶基板 1 8 の表面に、 $\text{SiO}_2$  より成る絶縁膜 1 6 を形成する工程までは、図 1 0 (a) 及び図 1 0 (b) を用いて上述した半導体基板の製造方法と同様であるので、説明を省略する（図 2 1 (a) 及び図 2 1 (b) 参照）。

#### 【0 2 1 4】

次に、図 2 1 (c) に示すように、シリコン結晶基板 1 8 と支持基板 1 0 b とを絶縁膜 1 6 を介して貼り合わせる。

#### 【0 2 1 5】

次に、図 2 2 (a) に示すように、機械的加工又は化学的エッチングにより、シリコン結晶基板 1 8 を薄膜化する。これにより、シリコン結晶基板 1 8 が薄膜化されて成るシリコン結晶層 1 4 b が形成される。

#### 【0 2 1 6】

次に、図 2 2 (b) に示すように、イオン注入法により、シリコン結晶層 1 4 b と絶縁膜 1 6 との界面近傍領域におけるシリコン結晶層 1 4 b 側に C 原子を導入する。C の濃度は、例えば  $5 \times 10^{20} \text{ cm}^{-3}$  とする。また、シリコン結晶層 1 4 b と絶縁膜 1 6 との界面からシリコン結晶層 1 4 b の内部に向かって、C の濃度が徐々に低くなるように設定する。

#### 【0 2 1 7】

こうして、本変形例による半導体基板が製造される。

#### 【0 2 1 8】

このように、シリコン結晶基板 1 8 を薄膜化して、シリコン結晶基板 1 8 より成るシリコン結晶層 1 4 b を形成した後で、シリコン結晶層 1 4 b と絶縁膜 1 6 との界面近傍領域におけるシリコン結晶層 1 4 b 側に C 原子を導入するようにしてもよい。

## 【 0 2 1 9 】

(変形例 (その 5))

次に、本実施形態による半導体基板の製造方法の変形例 (その 5) を図 2 3 を用いて説明する。図 2 3 は、本変形例による半導体基板の製造方法を示す工程断面図である。

## 【 0 2 2 0 】

本変形例による半導体基板の製造方法は、Si の同位体濃度が制御されていないシリコン結晶基板 2 2 上に、 $^{28}\text{Si}$  の同位体組成比が高いシリコン結晶層 1 4 c を形成し、このシリコン結晶層 1 4 c を支持基板 1 0 b 上に絶縁膜 1 6 を介して貼り合わせた後で、シリコン結晶層 1 4 c と絶縁膜 1 6 との界面近傍領域におけるシリコン結晶層 1 4 c 側に C 原子を導入することに主な特徴がある。

## 【 0 2 2 1 】

まず、シリコン結晶層 1 4 c の表面に  $\text{SiO}_2$  より成る絶縁膜 1 6 を形成する工程までは、図 2 0 (a) 乃至図 2 0 (c) を用いて上述した半導体基板の製造方法と同様であるので、説明を省略する。

## 【 0 2 2 2 】

次に、図 2 3 (a) に示すように、シリコン結晶基板 2 2 と支持基板 1 0 b とを、絶縁膜 1 6 及びシリコン結晶層 1 4 c を介して貼り合わせる。

## 【 0 2 2 3 】

次に、図 2 3 (b) に示すように、機械的加工又は化学的エッチングにより、シリコン結晶基板 2 2 を除去する。

## 【 0 2 2 4 】

次に、図 2 3 (c) に示すように、イオン注入法により、シリコン結晶層 1 4 c と絶縁膜 1 6 との界面近傍領域におけるシリコン結晶層 1 4 c 側に C 原子を導入する。C の濃度は、例えば  $5 \times 10^{20} \text{ cm}^{-3}$  とする。また、シリコン結晶層 1

4 c と絶縁膜 16 との界面からシリコン結晶層 14 c 表面に向かって、C の濃度が徐々に低くなるように設定する。

【0225】

こうして、本変形例による半導体基板が製造される。

【0226】

このように、Si の同位体濃度が制御されていないシリコン結晶基板 22 上に、<sup>28</sup>Si の同位体組成比が高いシリコン結晶層 14 c を形成し、このシリコン結晶層 14 c を支持基板 10 b 上に絶縁膜 16 を介して貼り合わせた後で、シリコン結晶層 14 b と絶縁膜 16 との界面近傍領域におけるシリコン結晶層 14 b 側に C 原子を導入するようにしてもよい。

【0227】

〔第 7 実施形態〕

本発明の第 7 実施形態による半導体基板及びその製造方法を図 24 乃至図 26 を用いて説明する。図 24 は、本実施形態による半導体基板を示す断面図である。図 1 乃至図 23 に示す第 1 乃至第 6 実施形態による半導体基板及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0228】

(半導体基板)

まず、本実施形態による半導体基板を図 24 を用いて説明する。

【0229】

本実施形態による半導体基板は、歪 Si / SiGeOI 構造の半導体基板において、シリコン結晶層 14 e における<sup>28</sup>Si の同位体組成比が高く設定されていることに主な特徴がある。

【0230】

図 24 に示すように、シリコン結晶基板 10 b 上には、SiO<sub>2</sub>より成る絶縁膜 16 を介して、例えば厚さ 30 nm のシリコン結晶層 14 d が形成されている。シリコン結晶層 14 d における Si の同位体存在比は、天然における Si の同位体存在比と同様になっている。

【0231】

シリコン結晶層 14 d 上には、シリコンゲルマニウム結晶層 12 b が形成されている。シリコンゲルマニウム結晶層 12 b の厚さは、例えば 200 nm となっている。シリコンゲルマニウム結晶層 12 b における Ge の組成は、下面側から上面側に向かって徐々に大きくなるように設定されている。即ち、シリコンゲルマニウム結晶層 12 b の組成は、傾斜組成になっている。シリコンゲルマニウム結晶層 12 b の下面近傍における Ge の濃度は例えば 0 % となっており、シリコンゲルマニウム結晶層 12 b の上面近傍における Ge の濃度は例えば 30 % となっている。シリコンゲルマニウム結晶層 12 b の Ge 組成を下面側から上面側に向かって徐々に大きくなるように設定しているのは、シリコンゲルマニウム結晶層 12 b をシリコン結晶層 14 d 上にエピタキシャル成長するとともに、シリコンゲルマニウム結晶層 12 b の上面における Ge 組成を大きく設定するためである。なお、シリコンゲルマニウム結晶層 12 b における Si、Ge の同位体存在比は、天然における Si、Ge の同位体存在比とほぼ等しくなっている。

## 【0232】

シリコンゲルマニウム結晶層 12 b 上には、例えば厚さ 20 nm のシリコン結晶層 14 e がエピタキシャル成長されている。シリコン結晶層 14 e における<sup>28</sup>Si の同位体組成比は、例えば 99.9 % となっている。シリコンゲルマニウム結晶層 12 b の上面における格子定数とシリコン結晶層 14 e の格子定数とが互いに異なるため、シリコン結晶層 14 e には結晶歪が導入されている。

## 【0233】

シリコン結晶層 14 e の表面の面方位は、例えば {100}、{113} 又は {011} となっている。

## 【0234】

本実施形態による半導体基板は、上述したように、歪 Si/SiGeOI 構造の半導体基板において、シリコン結晶層 14 e における<sup>28</sup>Si の同位体組成比が高く設定されていることに主な特徴がある。

## 【0235】

このような、歪 Si/SiGeOI 構造の半導体基板であっても、シリコン結晶層 14 e における<sup>28</sup>Si の同位体組成比が高く設定されているため、効果的に

放熱し得る半導体基板を提供することができる。

【 0 2 3 6 】

(半導体基板の製造方法)

次に、本実施形態による半導体基板の製造方法を図 2 5 及び図 2 6 を用いて説明する。図 2 5 及び図 2 6 は、本実施形態による半導体基板の製造方法を示す工程断面図である。

【 0 2 3 7 】

まず、図 2 5 ( a ) に示すように、同位体存在比が特に制御されていないシリコン結晶より成る通常のシリコン結晶基板 2 2 を用意する。このシリコン結晶基板 2 2 は、後工程において薄膜化されて、シリコン結晶層 1 4 d となるものである。

【 0 2 3 8 】

次に、図 2 5 ( b ) に示すように、熱酸化法又は C V D 法により、シリコン結晶基板 2 2 の表面に  $S i O_2$  より成る絶縁膜 1 6 を形成する。

【 0 2 3 9 】

また、図 2 5 ( c ) に示すように、同位体存在比が特に制御されていない通常のシリコン結晶より成る支持基板 1 0 b を用意する。

【 0 2 4 0 】

次に、絶縁膜 1 6 を介して、シリコン結晶基板 2 2 と支持基板 1 0 b とを貼り合わせる。

【 0 2 4 1 】

次に、図 2 6 ( a ) に示すように、機械的加工又は化学的エッチングにより、シリコン結晶基板 2 2 を薄膜化する。これにより、シリコン結晶基板 2 2 が薄膜化されて成るシリコン結晶層 1 4 d が形成される。

【 0 2 4 2 】

次に、図 2 6 ( b ) に示すように、例えば C V D 法により、シリコンゲルマニウム結晶層 1 2 b をエピタキシャル成長する。原料ガスとしては、 $S i$ 、 $G e$  の同位体存在比を特に制御していない原料ガスを用いる。シリコンゲルマニウム結晶層 1 2 b の厚さは、例えば 2 0 0 n m とする。シリコンゲルマニウム結晶層 1

2bにおけるGeの組成は、下面側から上面側に向かって徐々に大きくなるように設定する。シリコンゲルマニウム結晶層12bの下面近傍におけるGeの濃度は例えば0%とし、シリコンゲルマニウム結晶層12bの上面近傍におけるGeの濃度は例えば30%とする。

## 【0243】

次に、図26(c)に示すように、例えばCVD法により、シリコンゲルマニウム結晶層12b上に、例えば厚さ20nmのシリコン結晶層14eをエピタキシャル成長する。原料ガスとしては、 $^{28}\text{Si}$ の同位体組成比が例えば99.9%の原料ガスを用いる。これにより、 $^{28}\text{Si}$ の同位体組成比が例えば99.9%のシリコン結晶層14eが形成される。シリコンゲルマニウム結晶層12bの表面における格子定数とシリコン結晶層14eの格子定数とが互いに異なるため、シリコン結晶層14eには結晶歪が導入される。

## 【0244】

こうして本実施形態による半導体基板を製造することができる。

## 【0245】

## [第8実施形態]

本発明の第8実施形態による半導体基板及びその製造方法を図27乃至図28を用いて説明する。図27は、本実施形態による半導体基板を示す断面図である。図1乃至図26に示す第1乃至第7実施形態による半導体基板及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

## 【0246】

## (半導体基板)

まず、本実施形態による半導体基板を図27を用いて説明する。

## 【0247】

本実施形態による半導体基板は、歪 $\text{Si}/\text{SiGeOI}$ 構造の半導体基板において、シリコンゲルマニウム結晶層12cにおける $^{70}\text{Ge}$ の同位体組成比が高く設定されていることに主な特徴がある。

## 【0248】

図27に示すように、支持基板10b上には絶縁膜16を介してシリコン結晶

層 1 4 d が形成されている。

#### 【 0 2 4 9 】

シリコン結晶層 1 4 d 上には、シリコンゲルマニウム結晶層 1 2 c が形成されている。シリコンゲルマニウム結晶層 1 2 c における<sup>70</sup>Ge の同位体組成比は、例えば 9 9 . 9 % となっている。シリコンゲルマニウム結晶層 1 2 c における Si の同位体存在比は、天然における Si の同位体存在比と同様となっている。シリコンゲルマニウム結晶層 1 2 c における Ge の組成は、下面側から上面側に向かって徐々に大きくなるように設定されている。シリコンゲルマニウム結晶層 1 2 c の下面近傍における Ge の濃度は例えば 0 % となっており、シリコンゲルマニウム結晶層 1 2 c の上面近傍における Ge の濃度は例えば 3 0 % となっている。

#### 【 0 2 5 0 】

シリコンゲルマニウム結晶層 1 2 c 上には、例えば厚さ 2 0 n m のシリコン結晶層 1 4 f がエピタキシャル成長されている。シリコン結晶層 1 4 f には、結晶歪が導入されている。シリコン結晶層 1 4 f における Si の同位体存在比は、天然における Si の同位体存在比と同様となっている。

#### 【 0 2 5 1 】

このように、歪 Si / Si Ge O I 構造の半導体基板において、シリコンゲルマニウム結晶層 1 2 c における<sup>70</sup>Ge の同位体組成比を高く設定することによっても、効率的に放熱しうる半導体基板を提供することができる。

#### 【 0 2 5 2 】

(半導体基板の製造方法)

次に、本実施形態による半導体基板の製造方法を図 2 8 を用いて説明する。図 2 8 は、本実施形態による半導体基板の製造方法を示す工程断面図である。

#### 【 0 2 5 3 】

まず、機械的加工又は化学的エッチングにより、シリコン結晶基板 2 2 を薄膜化してシリコン結晶基板 2 2 より成るシリコン結晶層 1 4 d を形成する工程までは、図 2 5 ( a ) 乃至図 2 6 ( a ) に示す半導体基板の製造方法と同様であるので説明を省略する (図 2 8 ( a ) 参照)。

## 【0254】

次に、図28(b)に示すように、例えばCVD法により、シリコンゲルマニウム結晶層12cをエピタキシャル成長する。Geの原料ガスとして、 $^{70}\text{Ge}$ の同位体濃度が例えば99.9%の原料ガスを用いる。Siの原料ガスとしては、同位体存在比が特に制御されていない通常の原料ガスを用いる。シリコンゲルマニウム結晶層12cの厚さは、例えば200nmとする。シリコンゲルマニウム結晶層12cにおけるGeの組成は、下面側から上面側に向かって徐々に大きくなるように設定する。シリコンゲルマニウム結晶層12cの下面近傍におけるGeの濃度は例えば0%とし、シリコンゲルマニウム結晶層12cの上面近傍におけるGeの濃度は例えば30%とする。

## 【0255】

次に、図28(c)に示すように、例えばCVD法により、シリコンゲルマニウム結晶層12c上に、例えば厚さ20nmのシリコン結晶層14fをエピタキシャル成長する。原料ガスとしては、同位体存在比が特に制御されていない通常の原料ガスを用いる。

## 【0256】

こうして本実施形態による半導体基板が製造される。

## 【0257】

## [第9実施形態]

本発明の第9実施形態による半導体基板及びその製造方法を図29及び図30を用いて説明する。図29は、本実施形態による半導体基板を示す断面図である。図1乃至図28に示す第1乃至第8実施形態による半導体基板及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔に

## (半導体基板)

まず、本実施形態による半導体基板を図29を用いて説明する。

## 【0258】

本実施形態による半導体基板は、歪Si/SiGeOI構造の半導体基板において、シリコンゲルマニウム結晶層12dにおける $^{28}\text{Si}$ と $^{70}\text{Ge}$ の両方の同位体組成比を高く設定するとともに、シリコン結晶層14eにおける $^{28}\text{Si}$ の同位



体組成比を高く設定していることに主な特徴がある。

【0259】

図29に示すように、支持基板10b上には絶縁膜16を介してシリコン結晶層14dが形成されている。シリコン結晶層14dにおけるSiの同位体存在比は、天然におけるSiの同位体存在比と同様となっている。

【0260】

シリコン結晶層14d上には、シリコンゲルマニウム結晶層12dがエピタキシャル成長されている。シリコンゲルマニウム結晶層12dにおける $^{28}\text{Si}$ の同位体存在比は、例えば99.9%に設定されている。シリコンゲルマニウム結晶層12dにおける $^{70}\text{Ge}$ の同位体組成比は、例えば99.9%に設定されている。

【0261】

シリコンゲルマニウム結晶層12d上には、シリコン結晶層14eがエピタキシャル成長されている。シリコン結晶層14eにおける $^{28}\text{Si}$ の同位体組成比は、例えば99.9%に設定されている。

【0262】

本実施形態による半導体基板は、上述したように、シリコンゲルマニウム結晶層12dにおける $^{28}\text{Si}$ と $^{70}\text{Ge}$ の両方の同位体組成比が高く設定されているとともに、シリコン結晶層14eにおける $^{28}\text{Si}$ の同位体組成比が高く設定されていることに主な特徴がある。

【0263】

本実施形態によれば、シリコンゲルマニウム結晶層12dにおける $^{28}\text{Si}$ と $^{70}\text{Ge}$ の同位体組成比が高く設定されているとともに、シリコン結晶層14eにおける $^{28}\text{Si}$ の同位体組成比が高く設定されているため、シリコンゲルマニウム結晶層12dとシリコン結晶層14eの両方における熱伝導率を向上することができる。従って、本実施形態によれば、より効果的に放熱し得る歪Si/SiGeOI構造の半導体基板を提供することができる。

【0264】

(半導体基板の製造方法)

次に、本実施形態による半導体基板の製造方法を図 3 0 を用いて説明する。図 3 0 は、本実施形態による半導体基板の製造方法を示す工程断面図である。

## 【 0 2 6 5 】

まず、機械的加工又は化学的エッチングにより、シリコン結晶基板 2 2 を薄膜化しシリコン結晶基板 2 2 より成るシリコン結晶層 1 4 d を形成する工程までは、図 2 5 ( a ) 乃至図 2 6 ( a ) に示す半導体基板の製造方法と同様であるので説明を省略する ( 図 3 0 ( a ) 参照 ) 。

## 【 0 2 6 6 】

次に、図 3 0 ( b ) に示すように、例えば C V D 法により、シリコンゲルマニウム結晶層 1 2 d をエピタキシャル成長する。Ge の原料ガスとして、 $^{70}\text{Ge}$  の同位体濃度が例えば 9 9 . 9 % の原料ガスを用いる。また、Si の原料ガスとして、 $^{28}\text{Si}$  の同位体組成比が例えば 9 9 . 9 % の原料ガスを用いる。シリコンゲルマニウム結晶層 1 2 d の厚さは、例えば 2 0 0 n m とする。シリコンゲルマニウム結晶層 1 2 d における Ge の組成は、下面側から上面側に向かって徐々に大きくなるように設定する。シリコンゲルマニウム結晶層 1 2 d の下面近傍における Ge の濃度は例えば 0 % とし、シリコンゲルマニウム結晶層 1 2 c の上面近傍における Ge の濃度は例えば 3 0 % とする。

## 【 0 2 6 7 】

次に、図 3 0 ( c ) に示すように、例えば C V D 法により、シリコンゲルマニウム結晶層 1 2 c 上に、例えば厚さ 2 0 n m のシリコン結晶層 1 4 e をエピタキシャル成長する。原料ガスとしては、 $^{28}\text{Si}$  の同位体組成比が例えば 9 9 . 9 % の原料ガスを用いる。

## 【 0 2 6 8 】

こうして本実施形態による半導体基板が製造される。

## 【 0 2 6 9 】

## 〔第 1 0 実施形態〕

本発明の第 1 0 実施形態による半導体基板及びその製造方法を図 3 1 乃至図 3 3 を用いて説明する。図 3 1 は、本実施形態による半導体基板を示す断面図である。図 1 乃至図 3 0 に示す第 1 乃至第 9 実施形態による半導体基板及びその製造

方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0270】

(半導体基板)

まず、本実施形態による半導体基板を図31を用いて説明する。

【0271】

本実施形態による半導体基板は、歪Si/SiGeOI構造の半導体基板において、絶縁膜16aがSIMOX (Separation by Implanted Oxygen) 法により形成されていることに主な特徴がある。

【0272】

図31に示すように、同位体存在比が制御されていない通常のシリコン結晶より成る支持基板10bには、SiO<sub>2</sub>より成る絶縁膜16aが埋め込まれている。絶縁膜16aは、支持基板10bの表面から例えば150nmの深さの部分に埋め込まれている。絶縁膜16aは、SIMOX法により形成されたものである。即ち、絶縁膜16aは、支持基板10b中に酸素イオンを注入し、その後、熱処理を行うことにより形成されたものである。このため、絶縁膜16aと支持基板10bとの界面近傍領域における酸素の濃度分布は、上述した貼り合わせ法により形成された半導体基板の場合と比較して、緩やかになっている。

【0273】

絶縁膜16a上には、シリコン結晶層14gが形成されている。

【0274】

シリコン結晶層14g上には、例えば200nmのシリコンゲルマニウム結晶層12eが形成されている。シリコンゲルマニウム結晶層12eにおける<sup>28</sup>Siの同位体組成比は例えば99.9%となっている。シリコンゲルマニウム結晶層12eにおけるGeの同位体存在比は、天然におけるGeの同位体存在比と同様になっている。シリコンゲルマニウム結晶層12eにおけるGeの組成は、下面側から上面側に向かって徐々に大きくなるように設定されている。シリコンゲルマニウム結晶層12eの下面近傍におけるGeの濃度は例えば0%となっており、シリコンゲルマニウム結晶層12eの上面近傍におけるGeの濃度は例えば30%となっている。

## 【0275】

シリコンゲルマニウム結晶層12e上には、例えば厚さ20nmのシリコン結晶層14eがエピタキシャル成長されている。シリコン結晶層14eにおける $^{28}\text{Si}$ の同位体組成比は、例えば99.9%となっている。シリコン結晶層14eには結晶歪が導入されている。

## 【0276】

本実施形態による半導体基板は、上述したように、歪 $\text{Si}/\text{SiGeOI}$ 構造の半導体基板において、絶縁膜16aがSIMOX法により形成されていることに主な特徴がある。

## 【0277】

このように絶縁膜16aをSIMOX法により形成した場合であっても、シリコンゲルマニウム結晶層12eやシリコン結晶層14eにおける $^{28}\text{Si}$ の同位体組成比が高く設定されているため、シリコンゲルマニウム結晶層12eやシリコン結晶層14eにおける熱伝導率を向上することができる。従って、本実施形態によっても、効果的に放熱し得る半導体基板を提供することができる。

## 【0278】

## (半導体装置の製造方法)

次に、本実施形態による半導体基板の製造方法を図32及び図33を用いて説明する。図32及び図33は、本実施形態による半導体基板の製造方法を示す工程断面図である。

## 【0279】

まず、図32(a)に示すように、同位体存在比が制御されていない通常のシリコン結晶より成る支持基板10bを用意する。

## 【0280】

次に、図32(b)に示すように、全面に、イオン注入法により、支持基板10bの表面側から酸素イオンを注入する。イオン注入条件は、例えば、加速エネルギーを180keVとし、ドーズ量を $4 \times 10^{17} \text{ cm}^{-2}$ とする。図中、酸素イオンが導入された領域24は、白丸を用いて示されている。

## 【0281】

次に、図32(c)に示すように、アルゴンガスと酸素ガスとを含む雰囲気中で、1350℃、5時間の熱処理を行う。これにより、酸素イオンが注入された領域24に $\text{SiO}_2$ より成る絶縁膜16aが形成される。また、絶縁膜16aにより、シリコン結晶層14aが支持基板10bから隔てられる。また、シリコン結晶層14aの表面に、シリコン酸化膜26が形成される。

## 【0282】

次に、図33(a)に示すように、シリコン結晶層14a表面のシリコン酸化膜26をエッチング除去する。

## 【0283】

こうして、SIMOX法により絶縁膜16aが埋め込まれたSOI基板10cが形成される。

## 【0284】

次に、図33(b)に示すように、全面に、例えばCVD法により、シリコンゲルマニウム結晶層12eをエピタキシャル成長する。Siの原料ガスとしては、 $^{28}\text{Si}$ の同位体組成比が例えば99.9%の原料ガスを用いる。また、Geの原料ガスとしては、Geの同位体存在比が特に制御されていない通常の原料ガスを用いる。これにより、 $^{28}\text{Si}$ の同位体組成比が例えば99.9%のシリコンゲルマニウム結晶層12eが形成される。シリコンゲルマニウム結晶層の厚さは、例えば200nmとする。シリコンゲルマニウム結晶層におけるGeの組成は、下面側から上面側に向かって徐々に大きくなるように設定する。シリコンゲルマニウム結晶層の下面近傍におけるGeの濃度は例えば0%とし、シリコンゲルマニウム結晶層の上面近傍におけるGeの濃度は例えば30%とする。

## 【0285】

次に、図33(c)に示すように、例えばCVD法により、シリコンゲルマニウム結晶層12e上に、例えば厚さ20nmのシリコン結晶層14eをエピタキシャル成長する。原料ガスとしては、 $^{28}\text{Si}$ の同位体組成比が例えば99.9%の原料ガスを用いる。これにより、 $^{28}\text{Si}$ の同位体組成比が例えば99.9%のシリコン結晶層14eが形成される。シリコンゲルマニウム結晶層12eの表面における格子定数とシリコン結晶層14eとの格子定数とが互いに異なるため、

シリコン結晶層 14 e には結晶歪が導入される。

【0286】

こうして本実施形態による半導体基板を製造することができる。

【0287】

(変形例(その1))

次に、本実施形態による半導体基板の製造方法の変形例(その1)を図34及び図35を用いて説明する。図34及び図35は、本実施形態による半導体基板の製造方法の変形例を示す工程断面図である。

【0288】

本変形例による半導体基板の製造方法は、支持基板 10 b 上にシリコンゲルマニウム結晶層 12 e 及びシリコン結晶層 14 e を形成した後で、SIMOX法により支持基板 12 b 中に絶縁膜 16 a を形成することに主な特徴がある。

【0289】

まず、図34(a)に示すように、同位体存在比が制御されていない通常のシリコン結晶より成る支持基板 10 b を用意する。

【0290】

次に、図33(b)を用いて上述した半導体基板及びその製造方法と同様にし、支持基板 10 b 上にシリコンゲルマニウム結晶層 12 e をエピタキシャル成長する(図34(b)参照)。

【0291】

次に、図33(c)を用いて上述した半導体基板及びその製造方法と同様にし、シリコンゲルマニウム結晶層 12 e 上にシリコン結晶層 14 e をエピタキシャル成長する(図34(c)参照)。

【0292】

次に、図35(a)に示すように、全面に、イオン注入法により、シリコン結晶層 14 e 及びシリコンゲルマニウム結晶層 12 e を介して、支持基板 10 b 中に酸素イオンを注入する。この際、シリコン結晶層 14 e の表面から例えば深さ 400 nm 程度の領域に、酸素イオンを注入するようにする。イオン注入条件は、例えば、加速エネルギーを 180 keV とし、ドーズ量を  $4 \times 10^{17} \text{ cm}^{-2}$  と

する。図中、酸素イオンが導入された領域 2 4 は、白丸を用いて示されている。

#### 【 0 2 9 3 】

次に、図 3 5 ( b ) に示すように、アルゴンガスと酸素ガスとを含む雰囲気中で、1 3 5 0 ℃、5 時間の熱処理を行う。これにより、酸素イオンが注入された領域 2 4 に  $\text{SiO}_2$  より成る絶縁膜 1 6 a が形成される。また、シリコン結晶層 1 2 e 上に、シリコン酸化膜 2 8 が形成される。

#### 【 0 2 9 4 】

次に、図 3 5 ( c ) に示すように、シリコン結晶層 1 2 e 上に形成されたシリコン酸化膜 2 8 をエッチング除去する。

#### 【 0 2 9 5 】

こうして本変形例による半導体基板が製造される。

#### 【 0 2 9 6 】

このように、支持基板 1 0 b 上にシリコンゲルマニウム結晶層 1 2 e 及びシリコン結晶層 1 4 e を形成した後で、SIMOX 法により支持基板 1 0 b 中に絶縁膜 1 6 a を埋め込んでもよい。

#### 【 0 2 9 7 】

##### ( 変形例 ( その 2 ) )

次に、本実施形態による半導体基板の製造方法の変形例 ( その 2 ) を図 3 6 及び図 3 7 を用いて説明する。図 3 6 及び図 3 7 は、本変形例による半導体基板の製造方法を示す工程断面図である。

#### 【 0 2 9 8 】

本変形例による半導体基板の製造方法は、支持基板 1 0 b 上にシリコンゲルマニウム結晶層 1 2 e を形成した後で、SIMOX 法により支持基板 1 0 b 中に絶縁膜 1 6 b を埋め込み、この後、シリコンゲルマニウム結晶層 1 2 e 上にシリコン結晶層 1 4 e を形成することに主な特徴がある。

#### 【 0 2 9 9 】

まず、図 3 6 ( a ) に示すように、同位体存在比が制御されていない通常のシリコン結晶より成る支持基板 1 0 b を用意する。

#### 【 0 3 0 0 】

次に、図 3 3 (b) を用いて上述した半導体基板の製造方法と同様にして、シリコンゲルマニウム結晶層 1 2 e を形成する (図 3 6 (b) 参照)。

#### 【0 3 0 1】

次に、図 3 6 (c) に示すように、全面に、イオン注入法により、シリコンゲルマニウム結晶層 1 2 e を介して、支持基板 1 0 b 中に酸素イオンを注入する。この際、シリコンゲルマニウム結晶層 1 2 e の表面から例えば深さ 4 0 0 n m 程度の領域に、酸素イオンを注入するようにする。イオン注入条件は、例えば、加速エネルギーを 1 8 0 k e V とし、ドーズ量を例えば  $4 \times 10^{17} \text{ cm}^{-2}$  とする。図中、酸素イオンが導入された領域 2 4 は、白丸を用いて示されている。

#### 【0 3 0 2】

次に、図 3 7 (a) に示すように、アルゴンガスと酸素ガスとを含む雰囲気中で、1 3 5 0℃、5 時間の熱処理を行う。これにより、酸素イオンが注入された支持基板 1 0 b の内部に  $\text{SiO}_2$  より成る絶縁膜 1 6 a が形成される。また、シリコンゲルマニウム結晶層 1 2 e 上に、シリコン酸化膜 3 0 が形成される。

#### 【0 3 0 3】

次に、図 3 7 (b) に示すように、シリコンゲルマニウム結晶層 1 2 e 上に形成されたシリコン酸化膜 3 0 をエッチング除去する。

#### 【0 3 0 4】

次に、図 3 3 (c) を用いて上述した半導体基板及びその製造方法と同様にして、シリコンゲルマニウム結晶層 1 2 e 上に、シリコン結晶層 1 4 e をエピタキシャル成長する (図 3 7 (c) 参照)。

#### 【0 3 0 5】

こうして本変形例による半導体基板が製造される。

#### 【0 3 0 6】

このように、支持基板 1 0 b 上にシリコンゲルマニウム結晶層 1 2 e を形成した後で、SIMOX 法により支持基板 1 0 b 中に絶縁膜 1 6 a を埋め込み、この後、シリコンゲルマニウム結晶層 1 2 e 上にシリコン結晶層 1 4 e を形成してもよい。

#### 【0 3 0 7】



## 〔第 1 1 実施形態〕

本発明の第 1 1 実施形態による半導体基板及びその製造方法を図 3 8 乃至図 3 9 を用いて説明する。図 3 8 は、本実施形態による半導体基板を示す断面図である。図 1 乃至図 3 7 に示す第 1 乃至第 1 0 実施形態による半導体基板及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

## 【 0 3 0 8 】

## (半導体基板)

まず、本実施形態による半導体基板を図 3 8 を用いて説明する。

## 【 0 3 0 9 】

本実施形態による半導体基板は、歪 Si / Si Ge 構造の半導体基板において、絶縁膜 1 6 a が SIMOX 法により形成されており、シリコンゲルマニウム結晶層 1 2 c における  $^{70}\text{Ge}$  の同位体組成比が高く設定されていることに主な特徴がある。

## 【 0 3 1 0 】

図 3 8 に示すように、シリコン結晶層 1 4 g 上には、シリコンゲルマニウム結晶層 1 2 c が形成されている。シリコンゲルマニウム結晶層 1 2 c における  $^{70}\text{Ge}$  の同位体組成比は例えば 99.9% となっている。シリコンゲルマニウム結晶層 1 2 c における Si の同位体存在比は、天然における Si の同位体存在比と同様になっている。シリコンゲルマニウム結晶層 1 2 c における Ge の組成は、下面側から上面側に向かって徐々に大きくなるように設定されている。シリコンゲルマニウム結晶層 1 2 c の下面近傍における Ge の濃度は例えば 0% となっており、シリコンゲルマニウム結晶層 1 2 c の上面近傍における Ge の濃度は例えば 30% となっている。

## 【 0 3 1 1 】

シリコンゲルマニウム結晶層 1 2 c 上には、シリコン結晶層 1 4 f が形成されている。シリコン結晶層 1 4 f における Si の同位体存在比は、天然における Si の同位体存在比と同様になっている。

## 【 0 3 1 2 】

本実施形態による半導体基板は、上述したように、歪Si/SiGe構造の半導体基板において、絶縁膜16aがSIMOX法により形成されており、シリコンゲルマニウム結晶層12cにおける $^{70}\text{Ge}$ の同位体組成比が高く設定されていることに主な特徴がある。

## 【0313】

本実施形態では、シリコンゲルマニウム結晶層12cにおける $^{70}\text{Ge}$ の同位体組成比が高く設定されているため、シリコンゲルマニウム結晶層12cにおける熱伝導率を向上することができる。このように、歪Si/SiGe構造の半導体基板において、シリコンゲルマニウム結晶層12cにおける $^{70}\text{Ge}$ の同位体組成比を高く設定することによっても、効果的に放熱する半導体基板を提供することができる。

## 【0314】

## (半導体基板の製造方法)

次に、本実施形態による半導体基板の製造方法を図39を用いて説明する。図39は、本実施形態による半導体基板の製造方法を示す工程断面図である。

## 【0315】

まず、SIMOX法により絶縁膜16aが埋め込まれたSOI基板10cを形成する工程までは、図32(a)乃至図33(a)を用いて上述した半導体基板の製造方法と同様であるので説明を省略する(図39(a)参照)。

## 【0316】

この後、図28(b)を用いて上述した半導体基板及びその製造方法と同様に、シリコン結晶層14g上にシリコンゲルマニウム結晶層12cをエピタキシャル成長する。

## 【0317】

次に、図28(c)を用いて上述した半導体基板及びその製造方法と同様に、シリコンゲルマニウム結晶層12c上に、シリコン結晶層14fをエピタキシャル成長する。

## 【0318】

こうして本実施形態による半導体基板を製造することができる。

## 【0319】

## (変形例(その1))

次に、本実施形態による半導体基板の製造方法の変形例(その1)を図40及び図41を用いて説明する。図40及び図41は、本変形例による半導体基板の製造方法を示す工程断面図である。

## 【0320】

本変形例による半導体基板の製造方法は、支持基板上にシリコンゲルマニウム結晶層12c及びシリコン結晶層14fを形成した後で、SIMOX法により支持基板10b中に絶縁膜16aを埋め込むことに主な特徴がある。

## 【0321】

まず、図40(a)に示すように、同位体存在比が制御されていない通常のシリコン結晶より成る支持基板10bを用意する。

## 【0322】

次に、図28(b)を用いて上述した半導体基板及びその製造方法と同様にし、支持基板10b上にシリコンゲルマニウム結晶層12cをエピタキシャル成長する(図40(b)参照)。

## 【0323】

次に、図28(c)を用いて上述した半導体基板及びその製造方法と同様にし、シリコンゲルマニウム結晶層12c上に、シリコン結晶層14fをエピタキシャル成長する(図40(c)参照)。

## 【0324】

次に、図41(a)に示すように、全面に、イオン注入法により、シリコン結晶層14fの表面から酸素イオンを注入する。この際、シリコン結晶層14fの表面から例えば深さ400nm程度の領域に、酸素イオンを注入するようにする。イオン注入条件は、例えば、加速エネルギーを180keVとし、ドーズ量を $4 \times 10^{17} \text{ cm}^{-2}$ とする。図中、酸素イオンが導入された領域24は、白丸を用いて示されている。

## 【0325】

次に、図41(b)に示すように、アルゴンガスと酸素ガスとを含む雰囲気中

で、1350℃、5時間の熱処理を行う。これにより、酸素イオンが注入された領域24に $\text{SiO}_2$ より成る絶縁膜16aが形成される。また、シリコンゲルマニウム結晶層14f上に、シリコン酸化膜32が形成される。

## 【0326】

次に、図41(c)に示すように、シリコンゲルマニウム結晶層14f上に形成されたシリコン酸化膜32をエッチング除去する。

## 【0327】

こうして本変形例による半導体基板が製造される。

## 【0328】

このように、支持基板10b上にシリコンゲルマニウム結晶層12c及びシリコン結晶層14fを形成した後で、SIMOX法により支持基板10b中に絶縁膜16aを埋め込んでもよい。

## 【0329】

## (変形例(その2))

次に、本実施形態による半導体基板の製造方法の変形例(その2)を図42及び図43を用いて説明する。図42及び図43は、本変形例による半導体基板の製造方法を示す工程断面図である。

## 【0330】

本変形例による半導体基板の製造方法は、支持基板10b上にシリコンゲルマニウム結晶層12cを形成した後で、SIMOX法により支持基板10b中に絶縁膜16aを埋め込み、この後、シリコンゲルマニウム結晶層12c上にシリコン結晶層14fを形成することに主な特徴がある。

## 【0331】

まず、図42(a)に示すように、同位体存在比が制御されていない通常のシリコン結晶より成る支持基板10bを用意する。

## 【0332】

次に、図28(b)を用いて上述した半導体装置の製造方法と同様にして、支持基板10b上にシリコンゲルマニウム結晶層12cをエピタキシャル成長する(図42(b)参照)。

## 【0333】

次に、図42(c)に示すように、全面に、イオン注入法により、シリコンゲルマニウム結晶層12cを介して支持基板10b中に酸素イオンを注入する。この際、シリコンゲルマニウム結晶層12cの表面から例えば深さ400nm程度の領域に、酸素イオンを注入するようにする。イオン注入条件は、例えば、加速エネルギーを180keVとし、ドーズ量を $4 \times 10^{17} \text{ cm}^{-2}$ とする。図中、酸素イオンが導入された領域24は、白丸を用いて示されている。

## 【0334】

次に、図43(a)に示すように、アルゴンガスと酸素ガスとを含む雰囲気中で、1350℃、5時間の熱処理を行う。これにより、酸素イオンが注入された支持基板10bの内部に $\text{SiO}_2$ より成る絶縁膜16aが形成される。また、シリコンゲルマニウム結晶層12c上に、シリコン酸化膜30が形成される。

## 【0335】

次に、図43(b)に示すように、シリコンゲルマニウム結晶層12c上に形成されたシリコン酸化膜30をエッチング除去する。

## 【0336】

次に、図28(c)を用いて上述した半導体装置の製造方法と同様にして、シリコンゲルマニウム結晶層12c上に、シリコン結晶層14fをエピタキシャル成長する。

## 【0337】

こうして本変形例による半導体基板を製造することができる。

## 【0338】

このように、支持基板10b上にシリコンゲルマニウム結晶層12cを形成した後で、SIMOX法により支持基板10b中に絶縁膜16aを埋め込み、この後、シリコンゲルマニウム結晶層12c上にシリコン結晶層14fを形成してもよい。

## 【0339】

## 〔第12実施形態〕

本発明の第12実施形態による半導体基板及びその製造方法を図44及び図4

5を用いて説明する。図44は、本実施形態による半導体基板を示す断面図である。図1乃至図43に示す第1乃至第11実施形態による半導体基板及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

#### 【0340】

(半導体基板)

まず、本実施形態による半導体基板を図44を用いて説明する。

#### 【0341】

本実施形態による半導体基板は、歪Si/SiGe構造の半導体基板において、絶縁膜16aがSIMOX法により支持基板10bに埋め込まれており、シリコンゲルマニウム結晶層12dにおける $^{28}\text{Si}$ と $^{70}\text{Ge}$ の両方の同位体組成比を高く設定するとともに、シリコン結晶層14eにおける $^{28}\text{Si}$ の同位体組成比を高く設定していることに主な特徴がある。

#### 【0342】

次に、図44に示すように、シリコン結晶層14gには、シリコンゲルマニウム結晶層12dが形成されている。シリコンゲルマニウム結晶層12dにおける $^{70}\text{Ge}$ の同位体組成比は、例えば99.9%となっている。シリコンゲルマニウム結晶層12dにおける $^{28}\text{Si}$ の同位体組成比は、例えば99.9%となっている。シリコンゲルマニウム結晶層12dにおけるGeの組成は、下面側から上面側に向かって徐々に大きくなるように設定されている。シリコンゲルマニウム結晶層12dの下面近傍におけるGeの濃度は例えば0%となっており、シリコンゲルマニウム結晶層12dの上面近傍におけるGeの濃度は例えば30%となっている。

#### 【0343】

シリコンゲルマニウム結晶層12d上には、シリコン結晶層14eが形成されている。シリコン結晶層14eにおける $^{28}\text{Si}$ の同位体組成比は、例えば99.9%となっている。シリコン結晶層14eには、結晶歪が導入されている。

#### 【0344】

本実施形態による半導体基板は、上述したように、歪Si/SiGe構造の半

導体基板において、絶縁膜16aがSIMOX法により支持基板10bに埋め込まれており、シリコンゲルマニウム結晶層12dにおける $^{28}\text{Si}$ と $^{70}\text{Ge}$ の両方の同位体組成比を高く設定するとともに、シリコン結晶層14eにおける $^{28}\text{Si}$ の同位体組成比を高く設定していることに主な特徴がある。

## 【0345】

本実施形態によれば、シリコンゲルマニウム結晶層12dにおいて $^{28}\text{Si}$ と $^{70}\text{Ge}$ の両方の同位体組成比が高く設定されているとともに、シリコン結晶層14eにおいて $^{28}\text{Si}$ の同位体組成比が高く設定されているため、シリコンゲルマニウム結晶層12dとシリコン結晶層14eの両方における熱伝導率を向上することができる。従って、本実施形態によれば、より効果的に放熱し得る半導体基板を提供することができる。

## 【0346】

## (半導体基板の製造方法)

次に、本実施形態による半導体基板の製造方法を図45を用いて説明する。図45は、本実施形態による半導体基板の製造方法を示す工程断面図である。

## 【0347】

まず、SIMOX法により絶縁膜16aが埋め込まれたSOI基板10cを形成する工程までは、図32(a)乃至図33(a)を用いて上述した半導体基板の製造方法と同様であるので説明を省略する(図45(a)参照)。

## 【0348】

次に、図30(b)を用いて上述した半導体基板の製造方法と同様にして、シリコン結晶層14g上にシリコンゲルマニウム結晶層12dをエピタキシャル成長する。

## 【0349】

次に、図30(c)を用いて上述した半導体基板の製造方法と同様にして、シリコンゲルマニウム結晶層12d上にシリコン結晶層14eをエピタキシャル成長する。

## 【0350】

こうして本実施形態による半導体基板が製造される。

## 【 0 3 5 1 】

(変形例 (その 1))

次に、本実施形態による半導体基板の製造方法の変形例 (その 1) を図 4 6 及び図 4 7 を用いて説明する。図 4 6 及び図 4 7 は、本変形例による半導体基板の製造方法を示す工程断面図である。

## 【 0 3 5 2 】

本変形例による半導体基板の製造方法は、支持基板 1 0 b 上にシリコンゲルマニウム結晶層 1 2 d 及びシリコン結晶層 1 4 e を形成した後で、S I M O X 法により支持基板 1 0 b 中に絶縁膜 1 6 a を埋め込むことに主な特徴がある。

## 【 0 3 5 3 】

まず、図 4 6 (a) に示すように、同位体存在比が制御されていない通常のシリコン結晶より成る支持基板 1 0 b を用意する。

## 【 0 3 5 4 】

次に、図 3 0 (b) を用いて上述した半導体基板の製造方法と同様にして、支持基板 1 0 b 上に、シリコンゲルマニウム結晶層 1 2 d をエピタキシャル成長する。

## 【 0 3 5 5 】

次に、図 3 0 (c) を用いて上述した半導体基板の製造方法と同様にして、シリコンゲルマニウム結晶層 1 2 d 上に、シリコン結晶層 1 4 e をエピタキシャル成長する。

## 【 0 3 5 6 】

次に、図 4 7 (a) に示すように、全面に、イオン注入法により、シリコン結晶層 1 4 e 及びシリコンゲルマニウム結晶層 1 2 d を介して、支持基板 1 0 b 中に酸素イオンを注入する。この際、シリコン結晶層 1 4 e の表面から例えば深さ 4 0 0 n m 程度の領域に、酸素イオンを注入するようにする。イオン注入条件は、例えば、加速エネルギーを 1 8 0 k e V、ドーズ量を  $4 \times 10^{17} \text{ cm}^{-2}$  とする。図中、酸素イオンが導入された領域 2 4 は、白丸を用いて示されている。

## 【 0 3 5 7 】

次に、図 4 7 (b) に示すように、アルゴンガスと酸素ガスとを含む雰囲気中



で、1350℃、5時間の熱処理を行う。これにより、酸素イオンが注入された支持基板10bの内部にSiO<sub>2</sub>より成る絶縁膜16aが形成される。また、シリコン結晶層14e上に、シリコン酸化膜32が形成される。

## 【0358】

この後の半導体基板の製造方法は、図41(c)を用いて上述した半導体基板の製造方法と同様であるので、説明を省略する(図47(c)参照)。

## 【0359】

こうして本変形例による半導体基板が製造される。

## 【0360】

このように、支持基板10b上にシリコンゲルマニウム結晶層12d及びシリコン層14eを形成した後で、SIMOX法により支持基板12b中に絶縁膜16aを埋め込んでもよい。

## 【0361】

(変形例(その2))

次に、本実施形態による半導体基板の製造方法の変形例(その2)を図48及び図49を用いて説明する。図48及び図49は、本変形例による半導体基板の製造方法を示す工程断面図である。

## 【0362】

本変形例による半導体基板の製造方法は、支持基板10b上にシリコンゲルマニウム結晶層12dを形成した後で、SIMOX法により支持基板10b中に絶縁膜16aを形成し、この後、シリコンゲルマニウム結晶層12d上にシリコン結晶層14eを形成することに主な特徴がある。

## 【0363】

まず、図48(a)に示すように、同位体存在比が制御されていない通常のシリコン結晶より成る支持基板10bを用意する。

## 【0364】

次に、図30(b)を用いて上述した半導体基板の製造方法と同様にして、支持基板10b上にシリコンゲルマニウム結晶層12dをエピタキシャル成長する。

## 【0365】

次に、図30(c)に示すように、全面に、イオン注入法により、シリコンゲルマニウム結晶層12dを介して、支持基板10b中に酸素イオンを注入する。この際、シリコンゲルマニウム結晶層12dの表面から例えば深さ400nm程度の領域に、酸素イオンを注入するようにする。イオン注入条件は、例えば、加速エネルギーを180keVとし、ドーズ量を $4 \times 10^{17} \text{ cm}^{-2}$ とする。図中、酸素イオンが導入された領域24は、白丸を用いて示されている。

## 【0366】

次に、図49(a)に示すように、アルゴンガスと酸素ガスとを含む雰囲気中で、1350℃、5時間の熱処理を行う。これにより、酸素イオンが注入された支持基板10bの内部に $\text{SiO}_2$ より成る絶縁膜16aが形成される。また、シリコンゲルマニウム結晶層12d上に、シリコン酸化膜30が形成される。

## 【0367】

次に、図49(b)に示すように、シリコンゲルマニウム結晶層12d上に形成されたシリコン酸化膜30をエッチング除去する。

## 【0368】

次に、図49(c)に示すように、シリコンゲルマニウム結晶層12d上に、シリコン結晶層14eをエピタキシャル成長する。

## 【0369】

こうして本変形例による半導体基板を製造することができる。

## 【0370】

このように、支持基板10b上にシリコンゲルマニウム結晶層12dを形成した後で、SIMOX法により支持基板10b中に絶縁膜16を埋め込み、この後、シリコンゲルマニウム結晶層12d上にシリコン結晶層14eを形成してもよい。

## 【0371】

## [変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

## 【0372】

例えば、上記実施形態では、 $^{28}\text{Si}$  の同位体組成比を高く設定したが、必ずしも  $^{28}\text{Si}$  の同位体組成比を高く設定しなくてもよく、 $^{29}\text{Si}$  又は  $^{30}\text{Si}$  の同位体組成比を高く設定してもよい。即ち、 $^{28}\text{Si}$ 、 $^{29}\text{Si}$  及び  $^{30}\text{Si}$  のうちいずれか一つの同位体組成比を高く設定すれば、熱伝導率を向上することが可能である。

## 【0373】

また、上記実施形態では、 $^{70}\text{Ge}$  の同位体組成比を高く設定したが、必ずしも  $^{70}\text{Ge}$  の同位体組成比を高く設定しなくてもよく、 $^{72}\text{Ge}$ 、 $^{73}\text{Ge}$ 、 $^{74}\text{Ge}$  又は  $^{76}\text{Ge}$  の同位体組成比を高く設定してもよい。 $^{70}\text{Ge}$ 、 $^{72}\text{Ge}$ 、 $^{73}\text{Ge}$ 、 $^{74}\text{Ge}$  又は  $^{76}\text{Ge}$  のうちいずれか一つの同位体組成比を高く設定すれば、熱伝導率を向上することが可能である。

## 【0374】

また、上記実施形態では、いずれかの  $\text{Si}$  同位体の同位体組成比やいずれかの  $\text{Ge}$  同位体の同位体組成比を 99.9% に設定したが、同位体組成比は必ずしも 99.9% に限定されるものではなく、所望の熱伝導率が得られるよう適宜設定すればよい。但し、同位体組成比を 95% 以上とすると熱伝導率が大きく向上するため、同位体組成比を 95% 以上に設定することが望ましい。また、同位体組成比を 98% 以上とすると熱伝導率が更に大きく向上するため、同位体組成比を 98% 以上に設定することが更に望ましい。

## 【0375】

また、上記実施形態では、シリコンゲルマニウム結晶層 12、12a の組成を  $\text{Si}_{0.7}\text{Ge}_{0.3}$  としたが、シリコンゲルマニウム結晶層 12、12a の組成は  $\text{Si}_{0.7}\text{Ge}_{0.3}$  に限定されるものではない。シリコンゲルマニウム結晶層 12、12a 上に形成されるシリコン結晶層 14、14a に所望のひずみを導入し得るよう、シリコンゲルマニウム結晶層 12、12a の組成を適宜設定すればよい。

## 【0376】

また、上記実施形態では、シリコン結晶層の表面の面方位を、 $\{100\}$ 、 $\{113\}$  又は  $\{011\}$  とする場合を例に説明したが、シリコン結晶層の面方位は  $\{100\}$ 、 $\{113\}$  又は  $\{011\}$  に限定されるものではなく、適宜設定してもよい。

## 【 0 3 7 7 】

また、上記実施形態では、シリコン結晶層やシリコンゲルマニウム結晶層において、いずれかの S i 同位体の同位体組成比や、いずれかの G e 同位体の同位体組成比を高く設定する場合を例に説明したが、シリコン結晶基板やシリコンゲルマニウム結晶基板において、いずれかの S i 同位体の同位体組成比や、いずれかの G e 同位体の同位体組成比を高く設定してもよい。即ち、シリコン結晶層、シリコンゲルマニウム結晶層、シリコン結晶基板及びシリコンゲルマニウム結晶基板の少なくともいずれかにおいて、いずれかの S i 同位体の同位体組成比や、いずれかの G e 同位体の同位体組成比を高く設定すれば、効果的に放熱しうる半導体基板を提供することが可能である。また、シリコン結晶層、シリコンゲルマニウム結晶層及びシリコン結晶基板等のすべてにおいて、いずれかの S i 同位体の同位体組成比や、いずれかの G e 同位体の同位体組成比を高く設定してもよい。これにより、更に効果的に放熱しうる半導体基板を提供することができる。

## 【 0 3 7 8 】

また、第 7 乃至第 1 1 実施形態では、絶縁膜がシリコンゲルマニウム結晶層の下方に形成されている場合を例に説明したが、絶縁膜は必ずしもシリコンゲルマニウム結晶層の下方に形成されていなくてもよい。例えば、シリコンゲルマニウム結晶層中に絶縁膜が埋め込まれていてもよい。

## 【 0 3 7 9 】

(付記 1) シリコン基板と、前記シリコン基板上に形成されたシリコンゲルマニウム層と、前記シリコンゲルマニウム層上に形成されたシリコン層とを有する半導体基板であって、

前記シリコン基板、前記シリコンゲルマニウム層及び前記シリコン層の少なくともいずれかにおける、一の S i 同位体の同位体組成比と一の G e 同位体の同位体組成比との少なくとも一方が、95%以上である

ことを特徴とする半導体基板。

## 【 0 3 8 0 】

(付記 2) シリコンゲルマニウム基板と、前記シリコンゲルマニウム基板上に形成されたシリコン層とを有する半導体基板であって、

前記シリコンゲルマニウム基板及び前記シリコン層の少なくともいずれかにおける、一のSi同位体の同位体組成比と一のGe同位体の同位体組成比との少なくとも一方が、95%以上である

ことを特徴とする半導体基板。

【0381】

(付記3) 支持基板とシリコン層とが絶縁膜を介して貼り合わせられた半導体基板であって、

前記支持基板又は前記シリコン層の少なくともいずれかにおける一のSi同位体の同位体組成比が、95%以上である

ことを特徴とする半導体基板。

【0382】

(付記4) 付記3記載の半導体基板において、

前記シリコン層と前記絶縁膜との界面近傍領域における前記シリコン層側にCが導入されている

ことを特徴とする半導体基板。

【0383】

(付記5) 付記4記載の半導体基板において、

$1 \times 10^{20} \text{ cm}^{-3}$ 以上、 $1 \times 10^{21} \text{ cm}^{-3}$ 以下の濃度となるようにCが導入されている

ことを特徴とする半導体基板。

【0384】

(付記6) 支持基板と、前記支持基板の上方に絶縁膜を介して形成されたシリコンゲルマニウム層と、前記シリコンゲルマニウム層上に形成されたシリコン層とを有する半導体基板であって、

前記シリコンゲルマニウム層及び前記シリコン層の少なくともいずれかにおける、一のSi同位体の同位体組成比と一のGe同位体の同位体組成比との少なくとも一方が、95%以上である

ことを特徴とする半導体基板。

【0385】

(付記 7) 付記 1 乃至 6 のいずれかに記載の半導体基板において、  
前記シリコン層の表面の面方位が、 $\{100\}$ 、 $\{113\}$  又は  $\{011\}$  で  
ある

ことを特徴とする半導体基板。

【0386】

(付記 8) シリコン基板上にシリコンゲルマニウム層を形成する工程と、  
前記シリコンゲルマニウム層上にシリコン層を形成する工程とを有し、  
前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工  
程の少なくともいずれかでは、一の Si 同位体の同位体組成比と一の Ge 同位体  
の同位体組成比との少なくとも一方が 95% 以上の原料ガスを用いて、前記シリ  
コンゲルマニウム層又は前記シリコン層を形成する

ことを特徴とする半導体基板の製造方法。

【0387】

(付記 9) シリコンゲルマニウム基板上にシリコン層を形成する工程を有し  
、  
前記シリコン層を形成する工程では、一の Si 同位体の同位体組成比が 95%  
以上の原料ガスを用いて、前記シリコン層を形成する

ことを特徴とする半導体基板の製造方法。

【0388】

(付記 10) 一の Si 同位体の同位体組成比が 95% 以上であるシリコン基  
板の一侧の面上に絶縁膜を形成する工程と、  
前記絶縁膜を支持基板に貼り合わせる工程と、  
前記シリコン基板の他側の面側から前記シリコン基板を薄膜化する工程と  
を有することを特徴とする半導体基板の製造方法。

【0389】

(付記 11) 付記 10 記載の半導体基板の製造方法において、  
前記絶縁膜を形成する工程の前に、前記シリコン基板の前記一侧の面の表面近  
傍領域に、C を導入する工程を更に有する

ことを特徴とする半導体基板の製造方法。

【0390】

(付記12) 付記10記載の半導体基板の製造方法において、

前記絶縁膜を形成する工程の後、前記絶縁膜を前記支持基板を貼り合わせる工程の前に、前記シリコン基板と前記絶縁膜との界面近傍領域における前記シリコン基板側に、Cを導入する工程を更に有することを特徴とする半導体基板の製造方法。

【0391】

(付記13) 付記10記載の半導体基板の製造方法において、

前記シリコン基板を薄膜化する工程の後に、薄膜化された前記シリコン基板より成るシリコン層と前記絶縁膜との界面近傍領域における前記シリコン層側に、Cを導入する工程を更に有することを特徴とする半導体基板の製造方法。

【0392】

(付記14) シリコン基板の一侧の面上に、一のSi同位体の同位体組成比

が95%以上の原料ガスを用いて、シリコン層を形成する工程と、

前記シリコン層上に絶縁膜を形成する工程と、

前記絶縁膜上に支持基板を貼り合わせる工程と、

前記シリコン基板の他側の面側から前記シリコン基板を薄膜化する工程とを有することを特徴とする半導体基板の製造方法。

【0393】

(付記15) 付記14記載の半導体基板の製造方法において、

前記シリコン層を形成する工程の後、前記絶縁膜を形成する工程の前に、前記シリコン層の表面近傍領域に、Cを導入する工程を更に有することを特徴とする半導体基板の製造方法。

【0394】

(付記16) 付記14記載の半導体基板の製造方法において、

前記絶縁膜を形成する工程の後、前記支持基板を貼り合わせる工程の前に、前記シリコン層と前記絶縁膜との界面近傍領域における前記シリコン層側に、Cを導入する工程を更に有する

ことを特徴とする半導体基板の製造方法。

【0395】

(付記17) 付記14記載の半導体基板の製造方法において、

前記シリコン基板を薄膜化する工程の後に、前記シリコン層と前記絶縁膜との界面近傍領域における前記シリコン層側に、Cを導入する工程を更に有する

ことを特徴とする半導体基板の製造方法。

【0396】

(付記18) 支持基板上に、絶縁膜を介して、シリコン基板を貼り合わせる工程と、

前記シリコン基板側から前記シリコン基板を薄膜化する工程と、

薄膜化された前記シリコン基板上に、シリコンゲルマニウム層を形成する工程と、

前記シリコンゲルマニウム層上にシリコン層を形成する工程とを有し、

前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工程の少なくともいずれかでは、一のSi同位体の同位体組成比と一のGe同位体の同位体組成比との少なくとも一方が95%以上の原料ガスを用いて、前記シリコンゲルマニウム層又は前記シリコン層を形成する

ことを特徴とする半導体基板の製造方法。

【0397】

(付記19) シリコン基板中に絶縁膜を埋め込む工程と、

前記絶縁膜が埋め込まれた前記シリコン基板上に、シリコンゲルマニウム層を形成する工程と、

前記シリコンゲルマニウム層上にシリコン層を形成する工程とを有し、

前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工程の少なくともいずれかでは、一のSi同位体の同位体組成比と一のGe同位体の同位体組成比との少なくとも一方が95%以上の原料ガスを用いて、前記シリコンゲルマニウム層又は前記シリコン層を形成する

ことを特徴とする半導体基板の製造方法。

【0398】



(付記 2 0) シリコン基板上にシリコンゲルマニウム層を形成する工程と、  
前記シリコンゲルマニウム層上にシリコン層を形成する工程と、  
前記シリコン基板中に絶縁膜を埋め込む工程とを有し、  
前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工程の少なくともいずれかでは、一の S i 同位体の同位体組成比と一の G e 同位体の同位体組成比との少なくとも一方が 9 5 % 以上の原料ガスを用いて、前記シリコンゲルマニウム層又は前記シリコン層を形成することを特徴とする半導体基板の製造方法。

【 0 3 9 9 】

(付記 2 1) シリコン基板上にシリコンゲルマニウム層を形成する工程と、  
前記シリコン基板中に絶縁膜を埋め込む工程と、  
前記シリコンゲルマニウム層上にシリコン層を形成する工程とを有し、  
前記シリコンゲルマニウム層を形成する工程及び前記シリコン層を形成する工程の少なくともいずれかでは、一の S i 同位体の同位体組成比と一の G e 同位体の同位体組成比との少なくとも一方が 9 5 % 以上の原料ガスを用いて、前記シリコンゲルマニウム層又は前記シリコン層を形成することを特徴とする半導体基板の製造方法。

【 0 4 0 0 】

【発明の効果】

以上の通り、本発明によれば、シリコン結晶層、シリコンゲルマニウム結晶層、シリコン結晶基板等において、いずれかの S i 同位体の同位体組成比や、いずれかの G e 同位体の同位体組成比を極めて高く設定しているため、シリコン結晶層、シリコンゲルマニウム結晶層、シリコン結晶基板等における熱伝導率を向上することができる。このため、本発明によれば、基板面に対して水平な方向における熱の散逸を促進することができる。従って、本発明によれば、マイクロプロセッサのコア部やホットスポット等から発生する熱を効果的に放熱することができる。本発明によれば、放熱性を向上し得る半導体基板を提供し得るため、ハイエンド超高速デバイス等における動作速度の向上や信頼性の向上に寄与することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態による半導体基板を示す断面図である。

【図 2】

本発明の第 1 実施形態による半導体基板の製造方法を示す工程断面図である。

【図 3】

本発明の第 2 実施形態による半導体基板を示す断面図である。

【図 4】

本発明の第 2 実施形態による半導体基板の製造方法を示す工程断面図である。

【図 5】

本発明の第 3 実施形態による半導体基板を示す断面図である。

【図 6】

本発明の第 3 実施形態による半導体基板の製造方法を示す工程断面図である。

【図 7】

本発明の第 4 実施形態による半導体基板を示す断面図である。

【図 8】

本発明の第 4 実施形態による半導体基板の製造方法を示す工程断面図である。

【図 9】

本発明の第 5 実施形態による半導体基板を示す断面図である。

【図 1 0】

本発明の第 5 実施形態による半導体基板の製造方法を示す工程断面図（その 1）である。

【図 1 1】

本発明の第 5 実施形態による半導体基板の製造方法を示す工程断面図（その 2）である。

【図 1 2】

本発明の第 5 実施形態による半導体基板の製造方法の変形例を示す工程断面図（その 1）である。

【図 1 3】

本発明の第5実施形態による半導体基板の製造方法の変形例を示す工程断面図（その2）である。

【図14】

本発明の第6実施形態による半導体基板を示す断面図である。

【図15】

本発明の第6実施形態による半導体基板の製造方法を示す工程断面図（その1）である。

【図16】

本発明の第6実施形態による半導体基板の製造方法を示す工程断面図（その2）である。

【図17】

本発明の第6実施形態による半導体基板の製造方法の変形例（その1）を示す工程断面図（その1）である。

【図18】

本発明の第6実施形態による半導体基板の製造方法の変形例（その1）を示す工程断面図（その2）である。

【図19】

本発明の第6実施形態による半導体基板の製造方法の変形例（その2）を示す工程断面図である。

【図20】

本発明の第6実施形態による半導体基板の製造方法の変形例（その3）を示す工程断面図である。

【図21】

本発明の第6実施形態による半導体基板の製造方法の変形例（その4）を示す工程断面図（その1）である。

【図22】

本発明の第6実施形態による半導体基板の製造方法の変形例（その4）を示す工程断面図（その2）である。

【図23】

本発明の第 6 実施形態による半導体基板の製造方法の変形例（その 5）を示す工程断面図である。

【図 2 4】

本発明の第 7 実施形態による半導体基板を示す断面図である。

【図 2 5】

本発明の第 7 実施形態による半導体基板の製造方法を示す工程断面図（その 1）である。

【図 2 6】

本発明の第 7 実施形態による半導体基板の製造方法を示す工程断面図（その 2）である。

【図 2 7】

本発明の第 8 実施形態による半導体基板を示す断面図である。

【図 2 8】

本発明の第 8 実施形態による半導体基板の製造方法を示す工程断面図である。

【図 2 9】

本発明の第 9 実施形態による半導体基板を示す断面図である。

【図 3 0】

本発明の第 9 実施形態による半導体基板の製造方法を示す工程断面図である。

【図 3 1】

本発明の第 1 0 実施形態による半導体基板を示す断面図である。

【図 3 2】

本発明の第 1 0 実施形態による半導体基板の製造方法を示す工程断面図（その 1）である。

【図 3 3】

本発明の第 1 0 実施形態による半導体基板の製造方法を示す工程断面図（その 2）である。

【図 3 4】

本発明の第 1 0 実施形態による半導体基板の製造方法の変形例（その 1）を示す工程断面図（その 1）である。

【図 3 5】

本発明の第 1 0 実施形態による半導体基板の製造方法の変形例（その 1）を示す工程断面図（その 2）である。

【図 3 6】

本発明の第 1 0 実施形態による半導体基板の製造方法の変形例（その 2）を示す工程断面図（その 1）である。

【図 3 7】

本発明の第 1 0 実施形態による半導体基板の製造方法の変形例（その 2）を示す工程断面図（その 2）である。

【図 3 8】

本発明の第 1 1 実施形態による半導体基板を示す断面図である。

【図 3 9】

本発明の第 1 1 実施形態による半導体基板の製造方法を示す工程断面図である。

【図 4 0】

本発明の第 1 1 実施形態による半導体基板の製造方法の変形例（その 1）を示す工程断面図（その 1）である。

【図 4 1】

本発明の第 1 1 実施形態による半導体基板の製造方法の変形例（その 1）を示す工程断面図（その 2）である。

【図 4 2】

本発明の第 1 1 実施形態による半導体基板の製造方法の変形例（その 2）を示す工程断面図（その 1）である。

【図 4 3】

本発明の第 1 1 実施形態による半導体基板の製造方法の変形例（その 2）を示す工程断面図（その 2）である。

【図 4 4】

本発明の第 1 2 実施形態による半導体基板を示す断面図である。

【図 4 5】

本発明の第 1 2 実施形態による半導体基板の製造方法を示す工程断面図である。

【図 4 6】

本発明の第 1 2 実施形態による半導体基板の製造方法の変形例（その 1）を示す工程断面図（その 1）である。

【図 4 7】

本発明の第 1 2 実施形態による半導体基板の製造方法の変形例（その 1）を示す工程断面図（その 2）である。

【図 4 8】

本発明の第 1 2 実施形態による半導体基板の製造方法の変形例（その 2）を示す工程断面図（その 1）である。

【図 4 9】

本発明の第 1 2 実施形態による半導体基板の製造方法の変形例（その 2）を示す工程断面図（その 2）である。

【符号の説明】

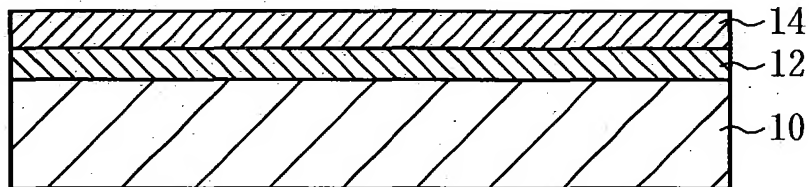
- 1 0 … シリコン結晶基板
- 1 0 a … シリコンゲルマニウム結晶基板
- 1 0 b … 支持基板
- 1 0 c … S O I 基板
- 1 2、1 2 a ～ 1 2 e … シリコンゲルマニウム結晶層
- 1 4、1 4 a ～ 1 4 g … シリコン結晶層
- 1 6、1 6 a … 絶縁膜
- 1 8 … シリコン結晶基板
- 2 0 … 水素イオンが導入された領域
- 2 2 … シリコン結晶基板
- 2 4 … 酸素イオンが導入された領域
- 2 6 … シリコン酸化膜
- 2 8 … シリコン酸化膜
- 3 0 … シリコン酸化膜

32…シリコン酸化膜

【書類名】 図面

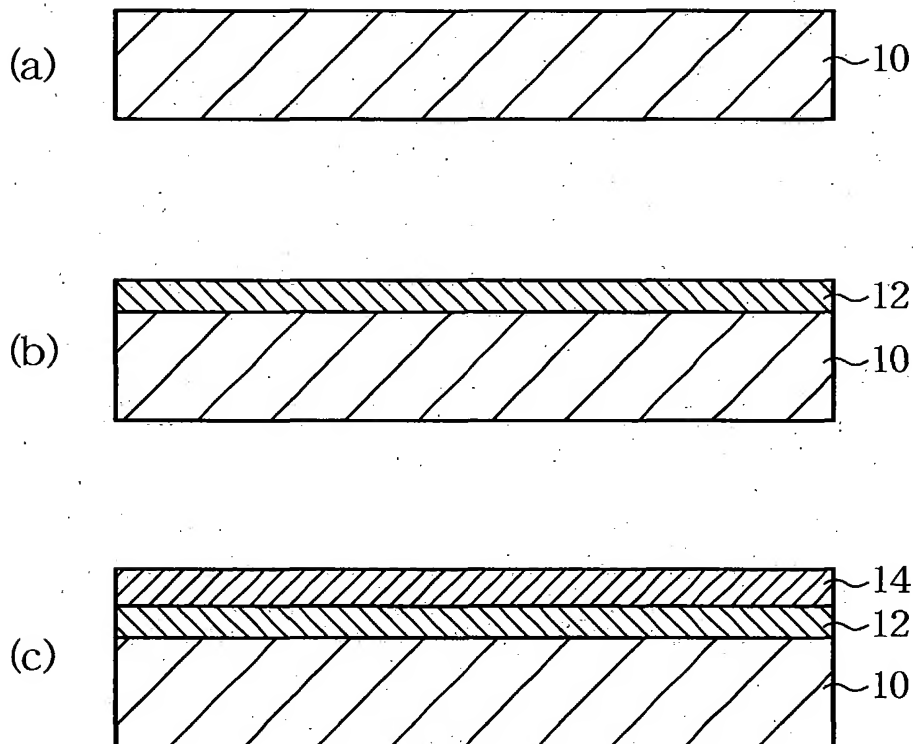
【図 1】

本発明の第1実施形態による半導体基板を示す断面図



【図 2】

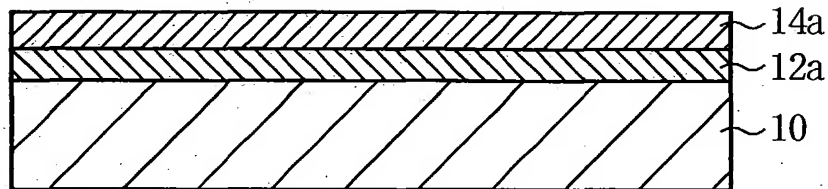
本発明の第1実施形態による半導体基板の製造方法を示す  
工程断面図





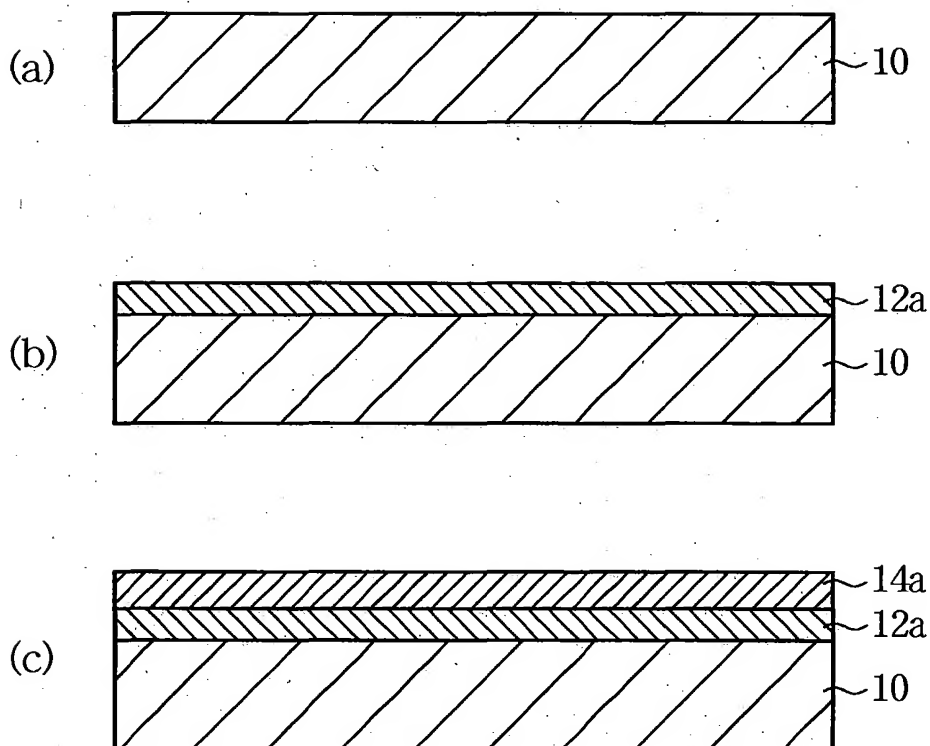
【図 3】

本発明の第2実施形態による半導体基板を示す断面図



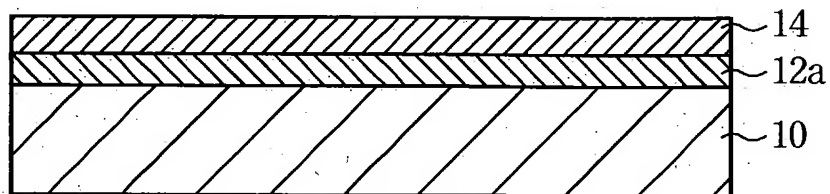
【図 4】

本発明の第2実施形態による半導体基板の製造方法を示す  
工程断面図



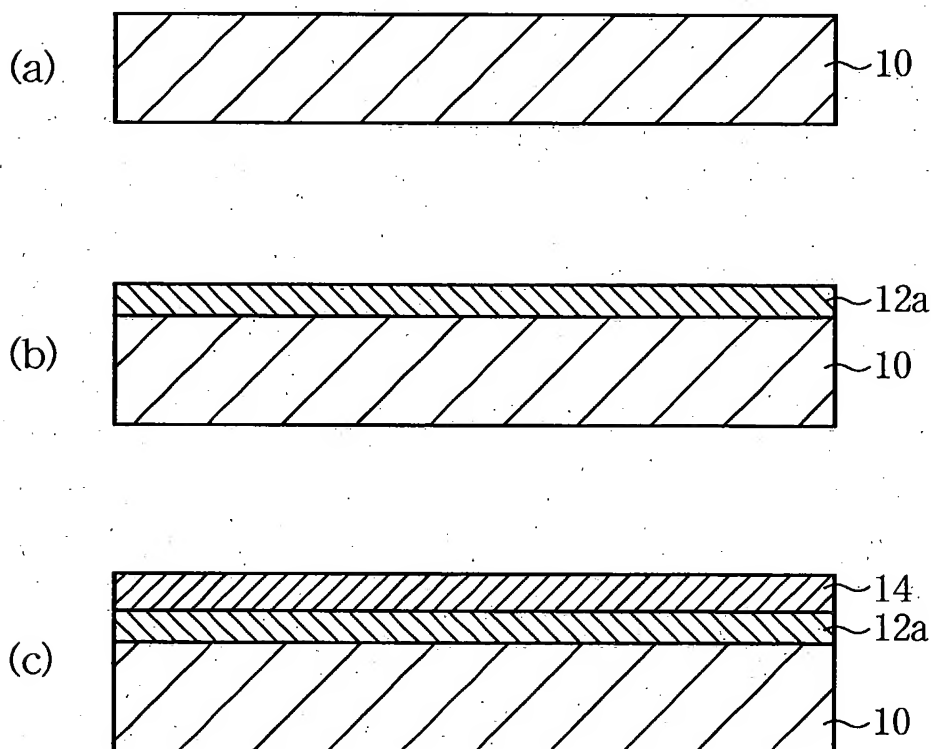
【図 5】

本発明の第3実施形態による半導体基板を示す断面図



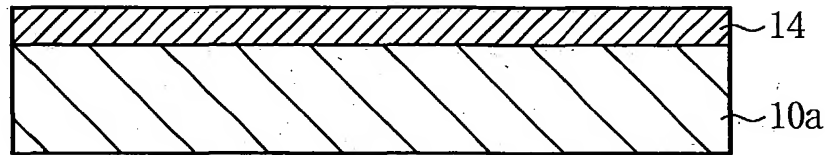
【図 6】

本発明の第3実施形態による半導体基板の製造方法を示す  
工程断面図



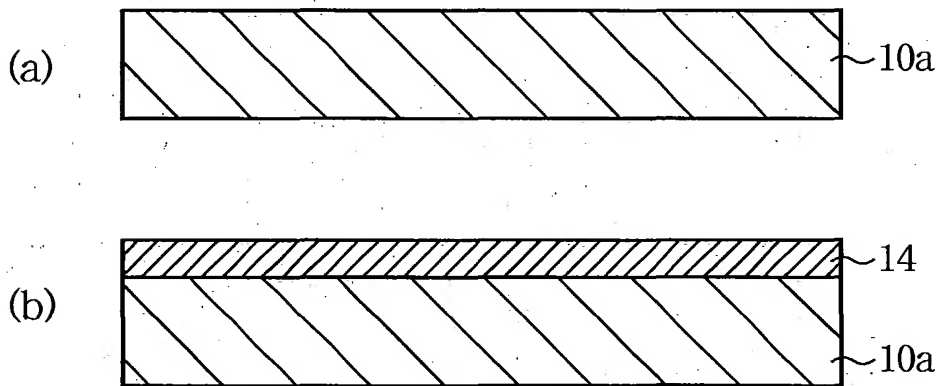
【図 7】

本発明の第4実施形態による半導体基板を示す断面図



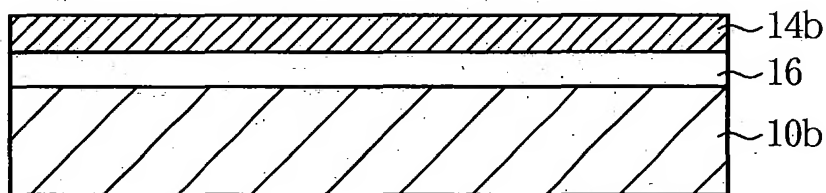
【図 8】

本発明の第4実施形態による半導体基板の製造方法を示す  
工程断面図



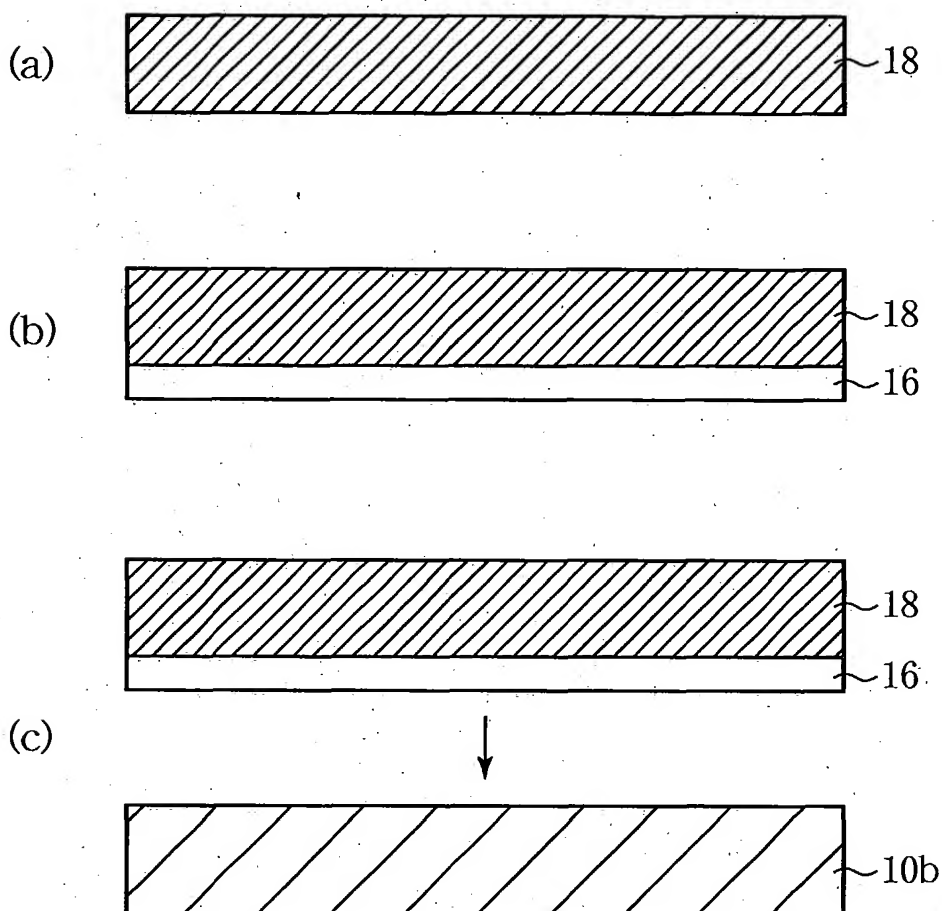
【図 9】

本発明の第5実施形態による半導体基板を示す断面図



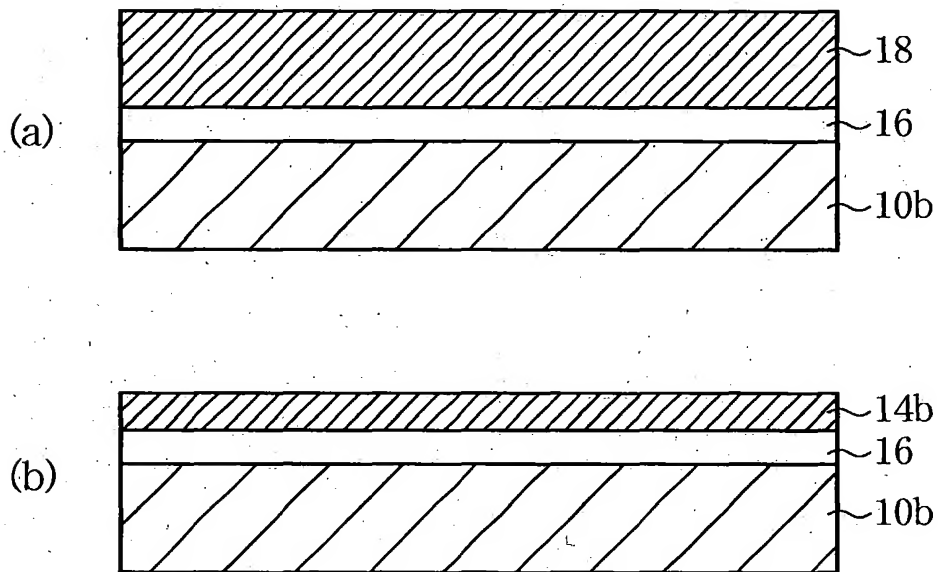
【図 1 0】

本発明の第5実施形態による半導体基板の製造方法を示す  
工程断面図（その1）



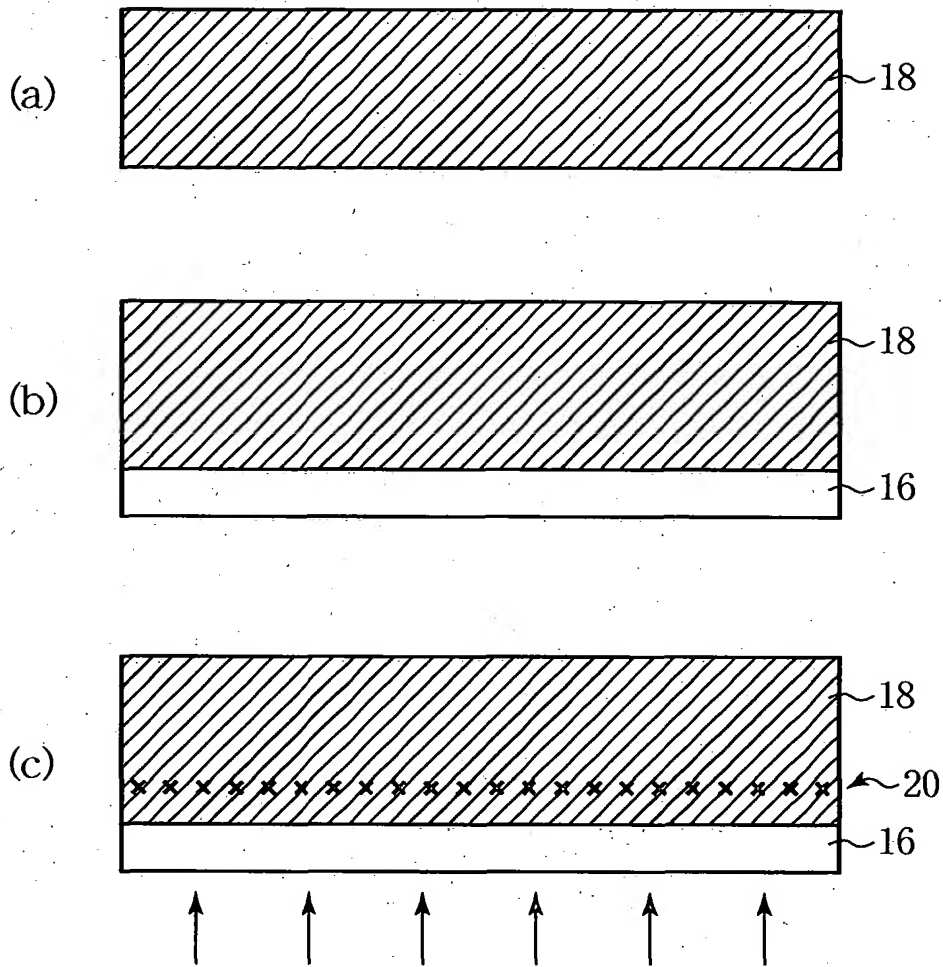
【図 1 1】

本発明の第5実施形態による半導体基板の製造方法を示す  
工程断面図（その2）



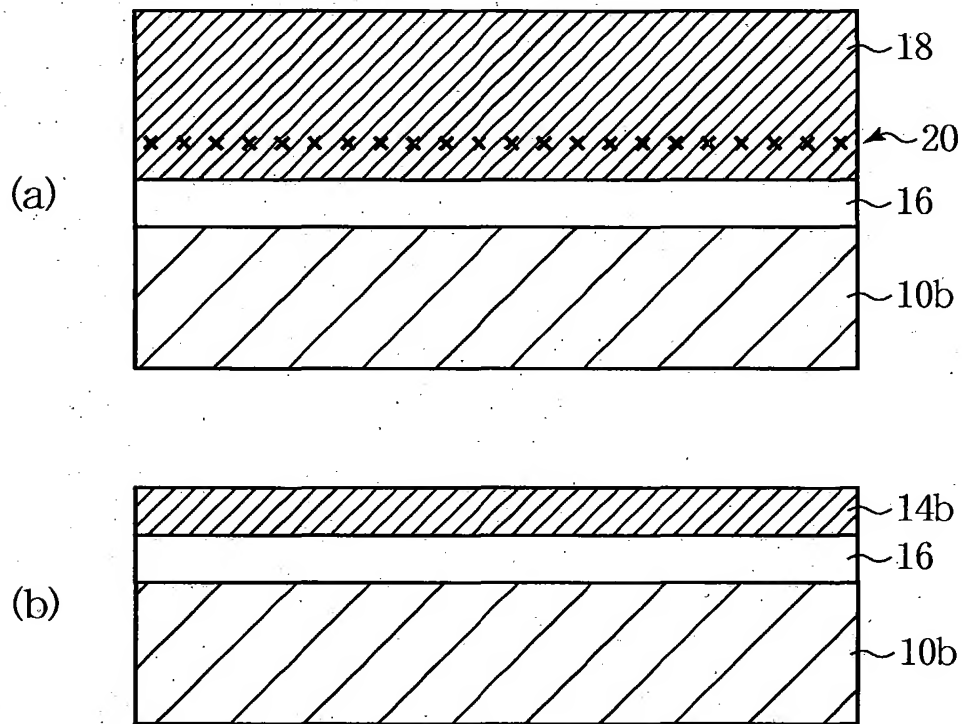
【図 1 2】

本発明の第5実施形態による半導体基板の製造方法の  
変形例を示す工程断面図（その1）



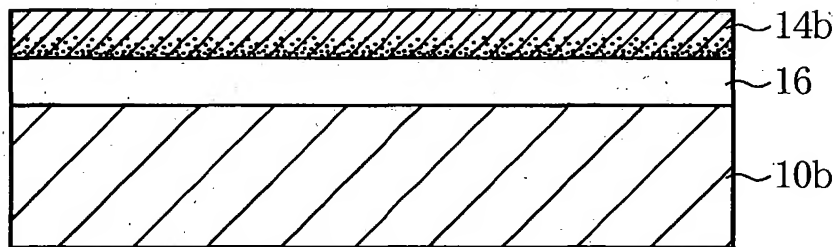
【図 1 3】

本発明の第5実施形態による半導体基板の製造方法の  
変形例を示す工程断面図（その2）



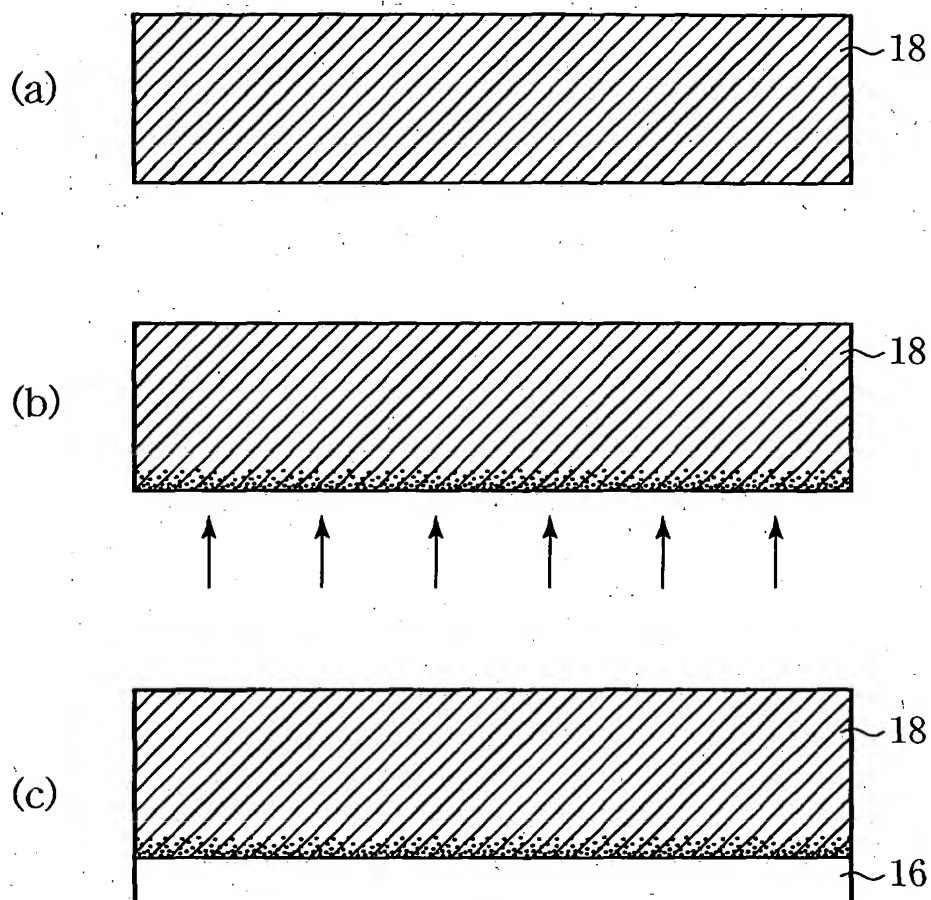
【図 1 4】

本発明の第6実施形態による半導体基板を示す断面図



【図 1 5】

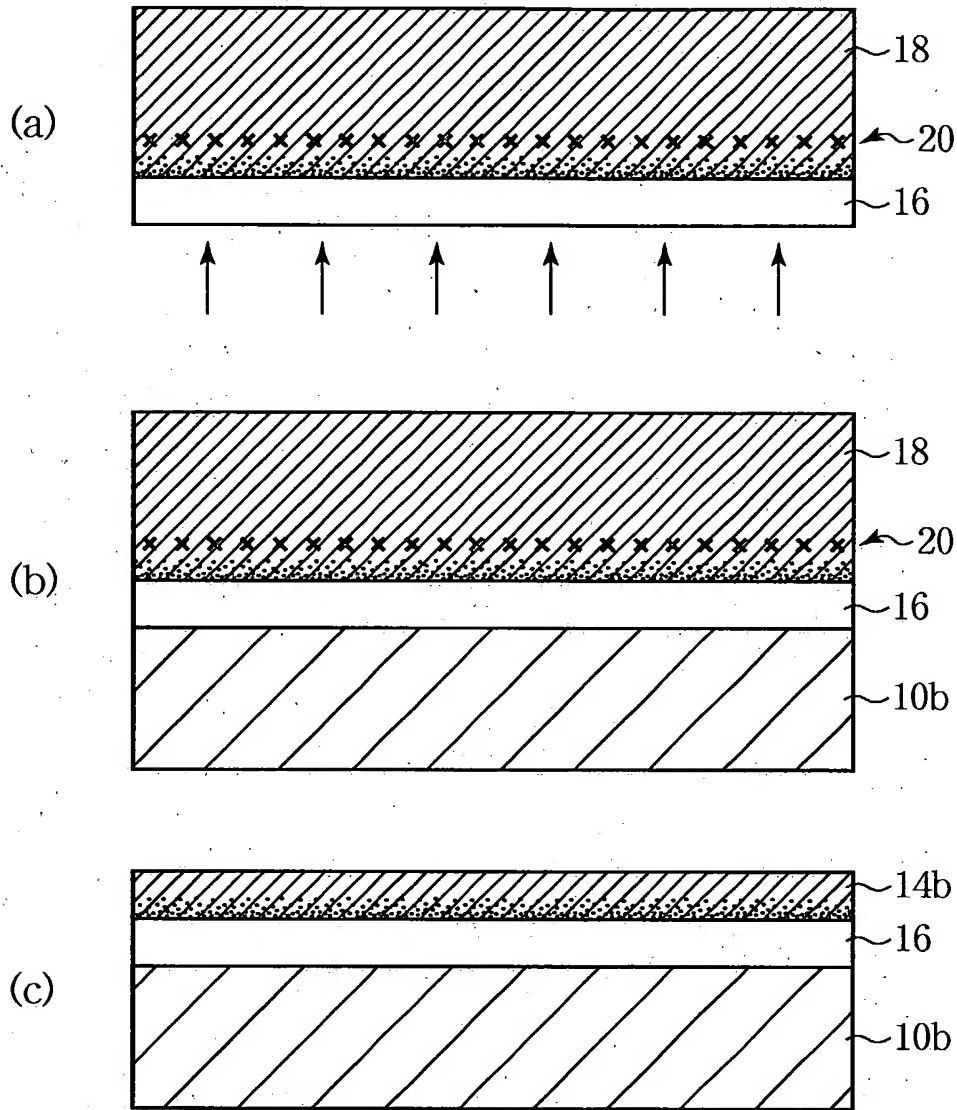
本発明の第6実施形態による半導体基板の製造方法を示す  
工程断面図（その1）





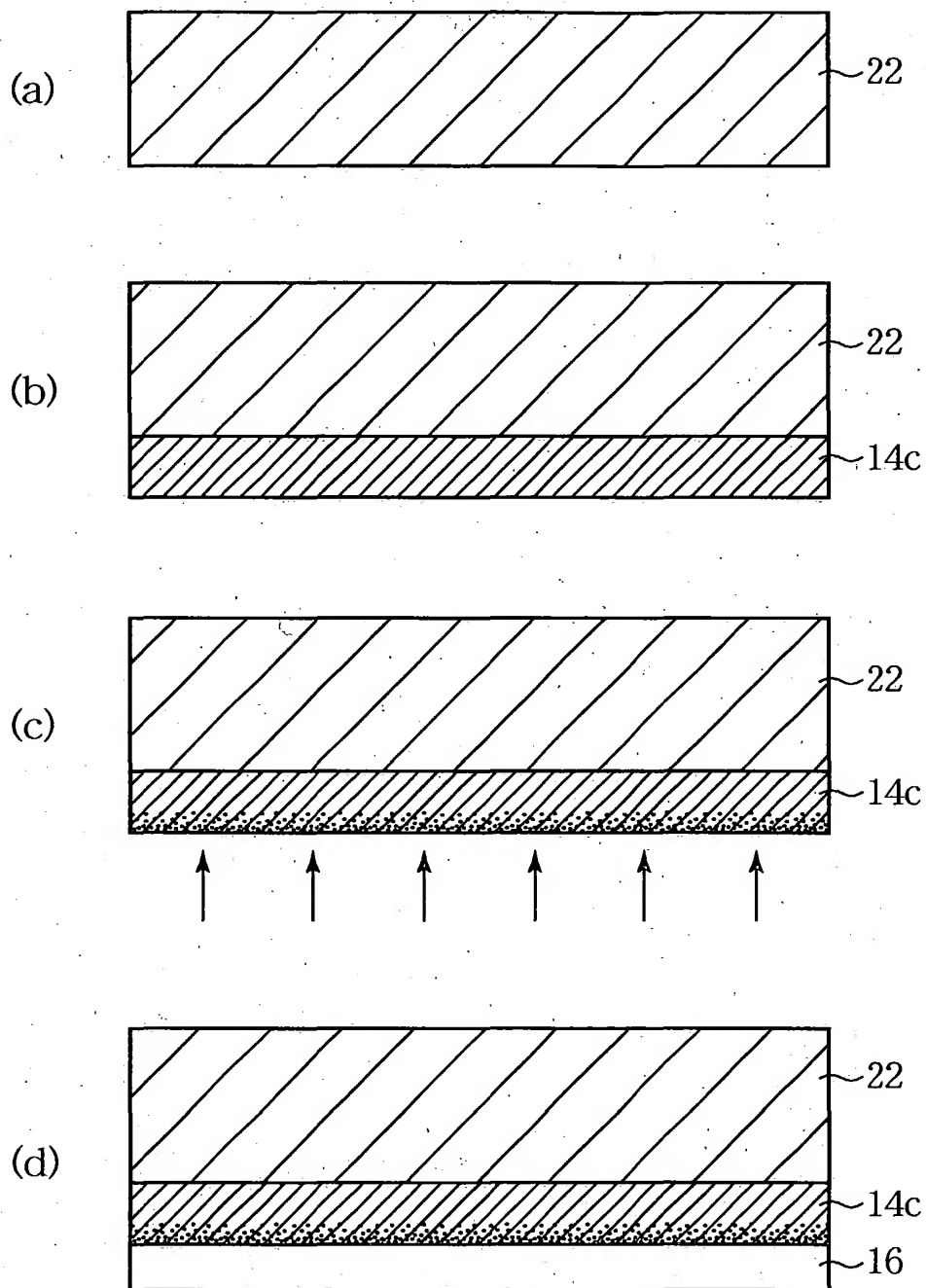
【図 1 6】

本発明の第6実施形態による半導体基板の製造方法を示す  
工程断面図（その2）



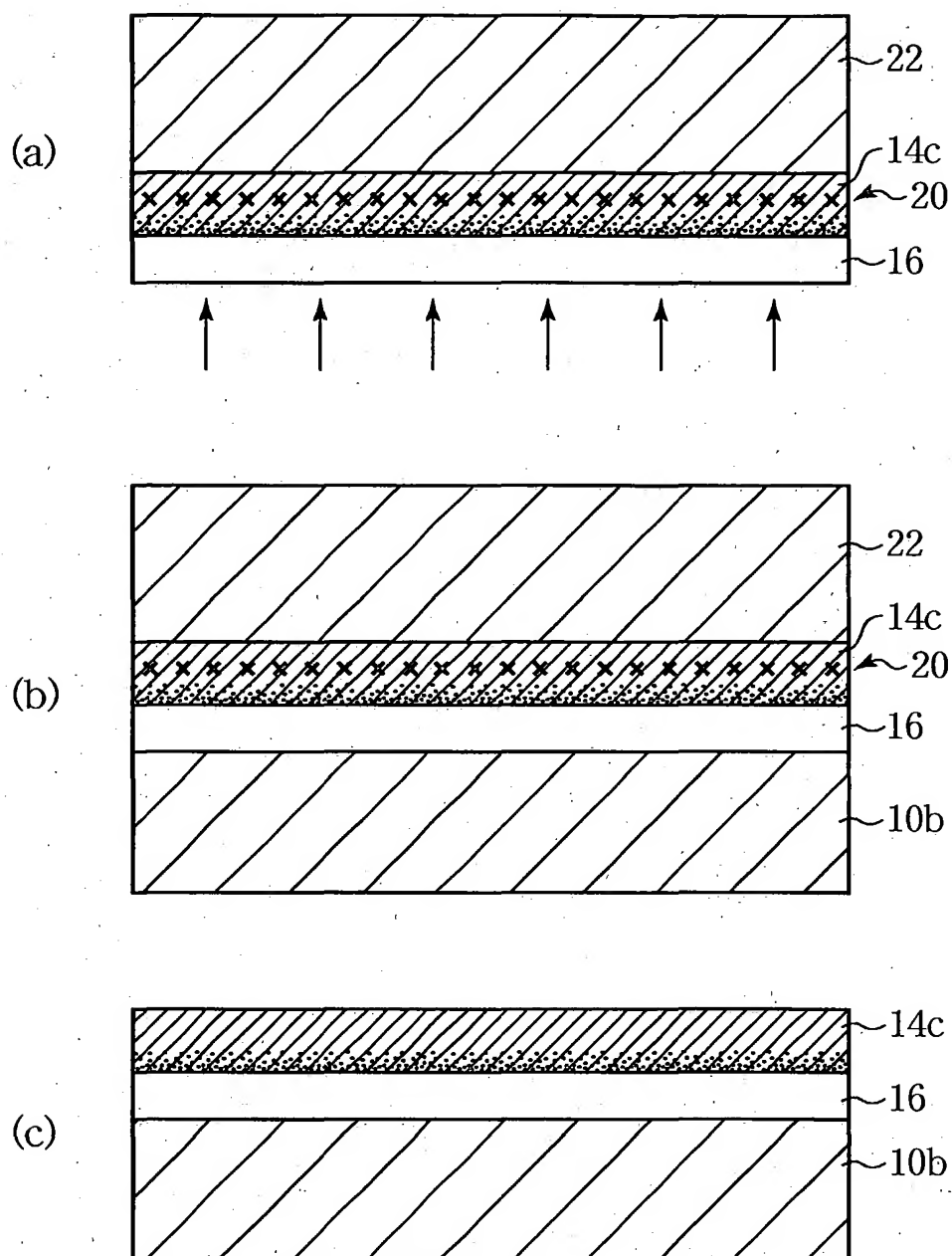
【図 1 7】

本発明の第6実施形態による半導体基板の製造方法の  
変形例（その1）を示す工程断面図（その1）



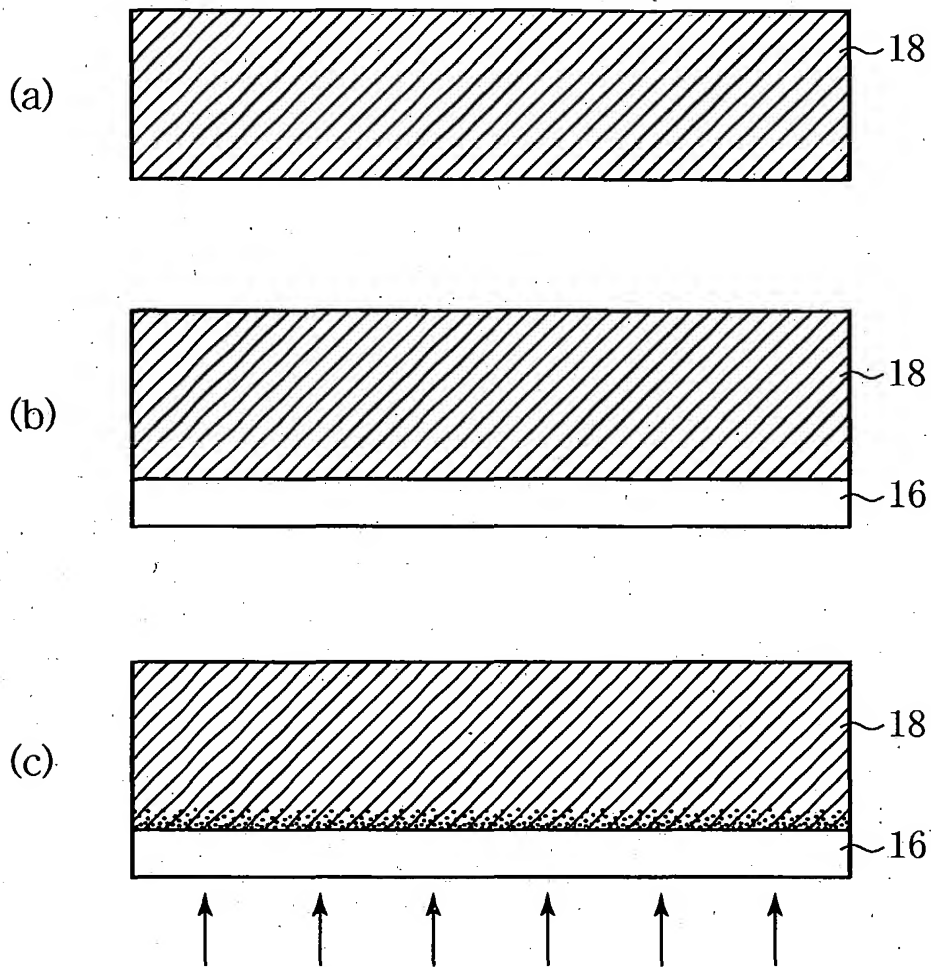
【図 1 8】

本発明の第6実施形態による半導体基板の製造方法の  
変形例（その1）を示す工程断面図（その2）



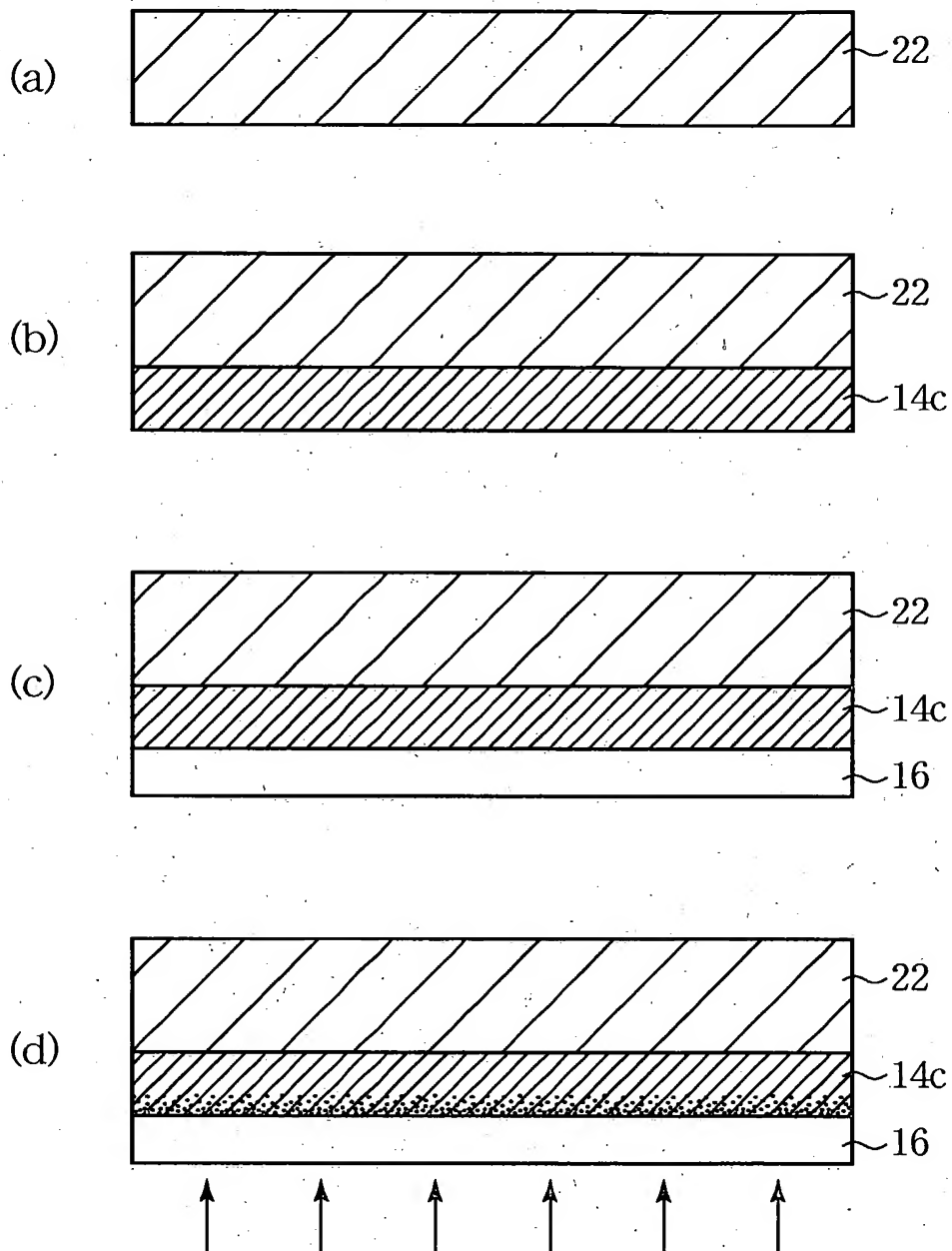
【図 1 9】

本発明の第6実施形態による半導体基板の製造方法の  
変形例（その2）を示す工程断面図



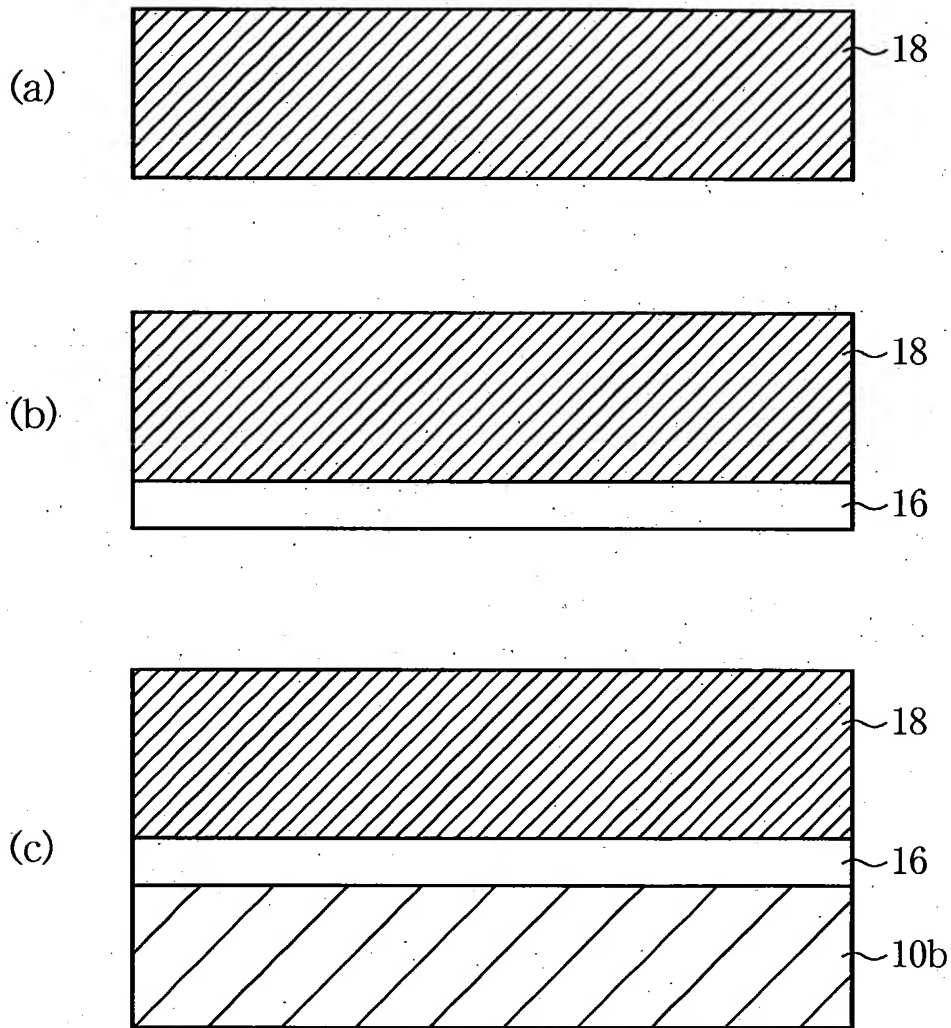
【図 2 0】

本発明の第6実施形態による半導体基板の製造方法の  
変形例（その3）を示す工程断面図



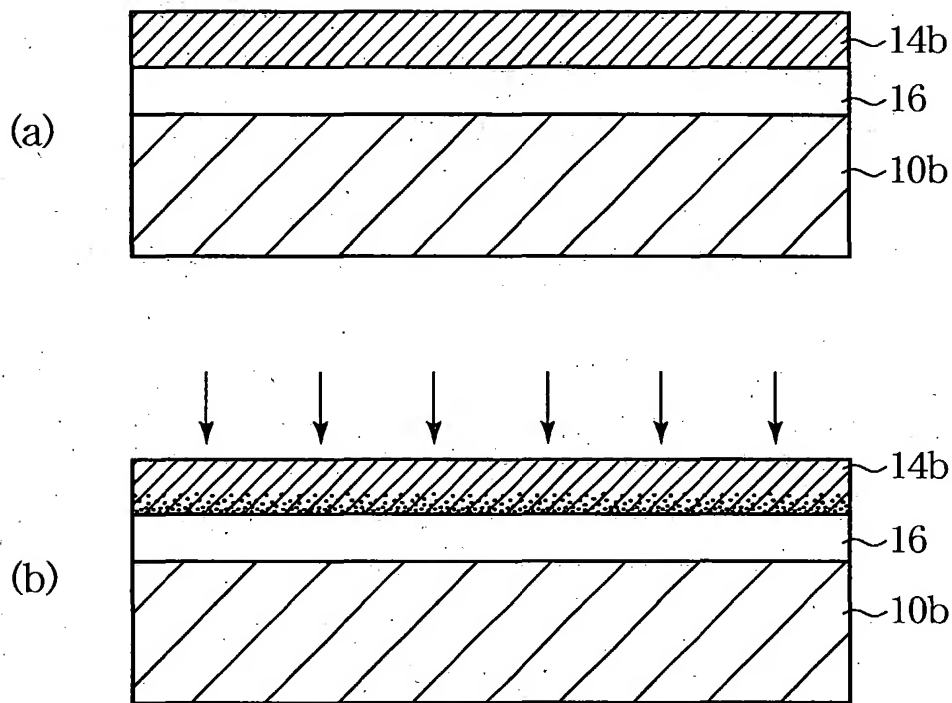
【図 2 1】

本発明の第6実施形態による半導体基板の製造方法の  
変形例（その4）を示す工程断面図（その1）



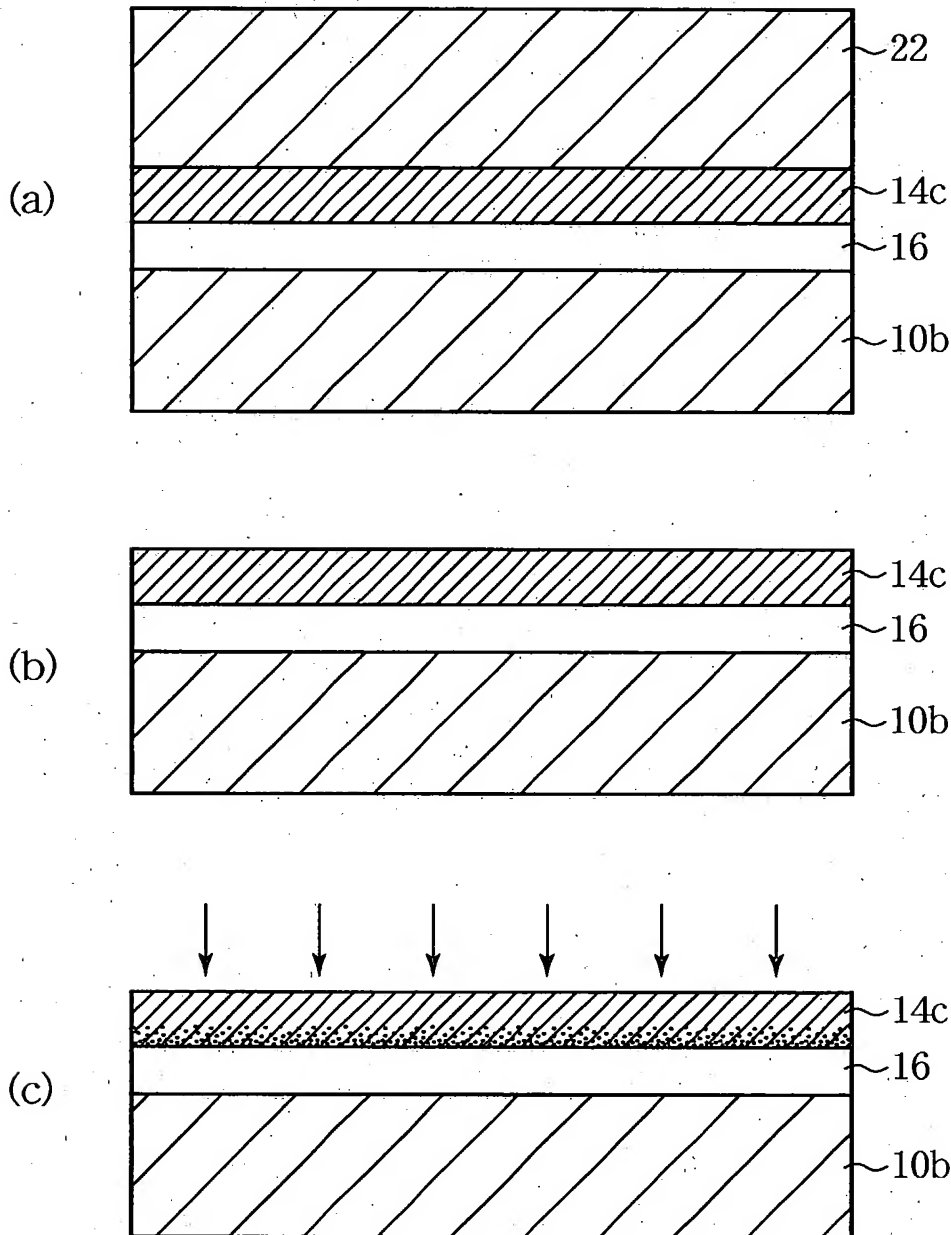
【図 2 2】

本発明の第6実施形態による半導体基板の製造方法の  
変形例（その4）を示す工程断面図（その2）



【図 2 3】

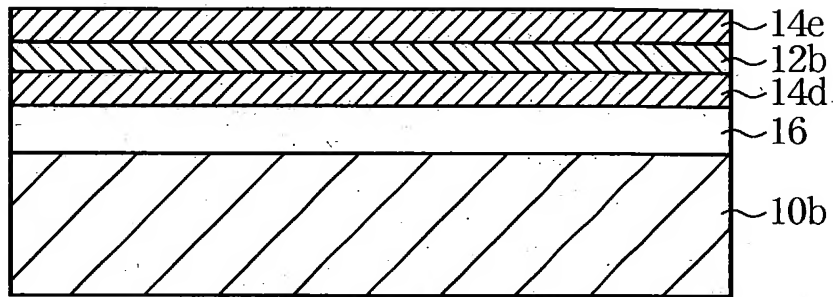
本発明の第6実施形態による半導体基板の製造方法の  
変形例（その5）を示す工程断面図





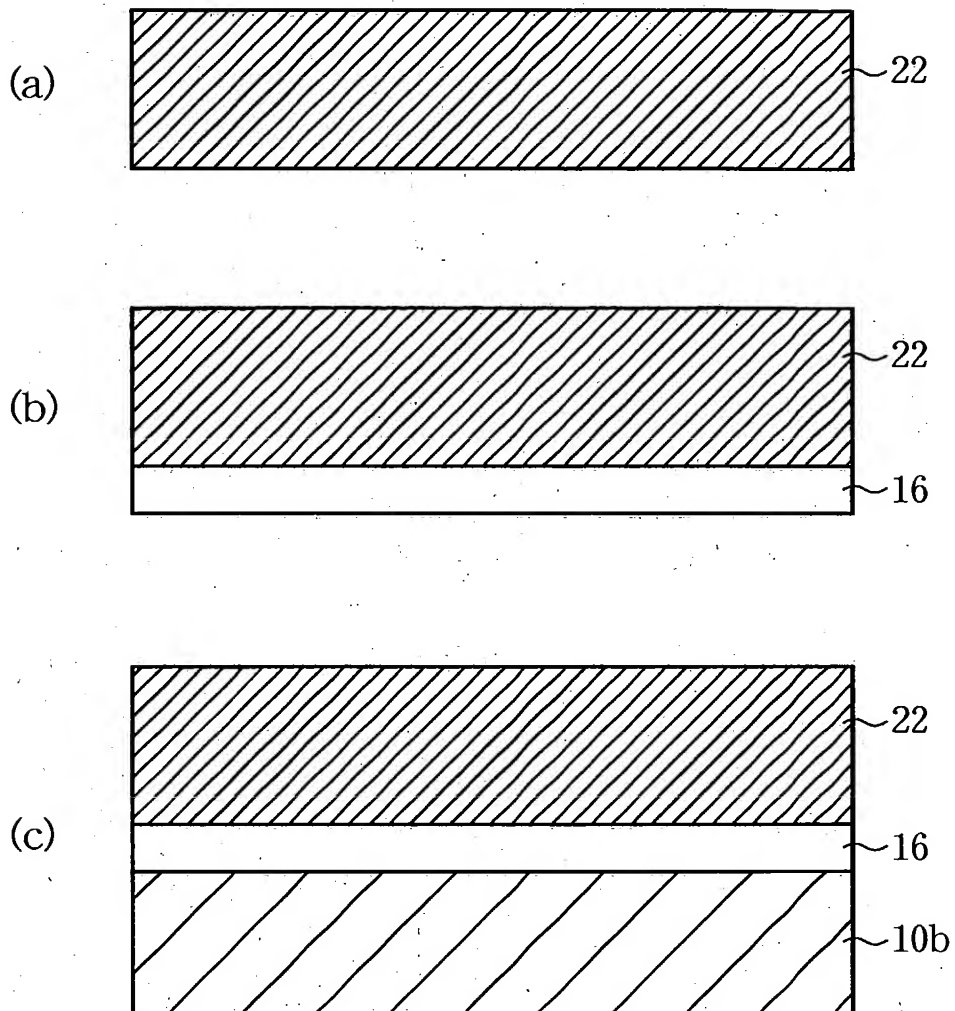
【図 2 4】

本発明の第7実施形態による半導体基板を示す断面図



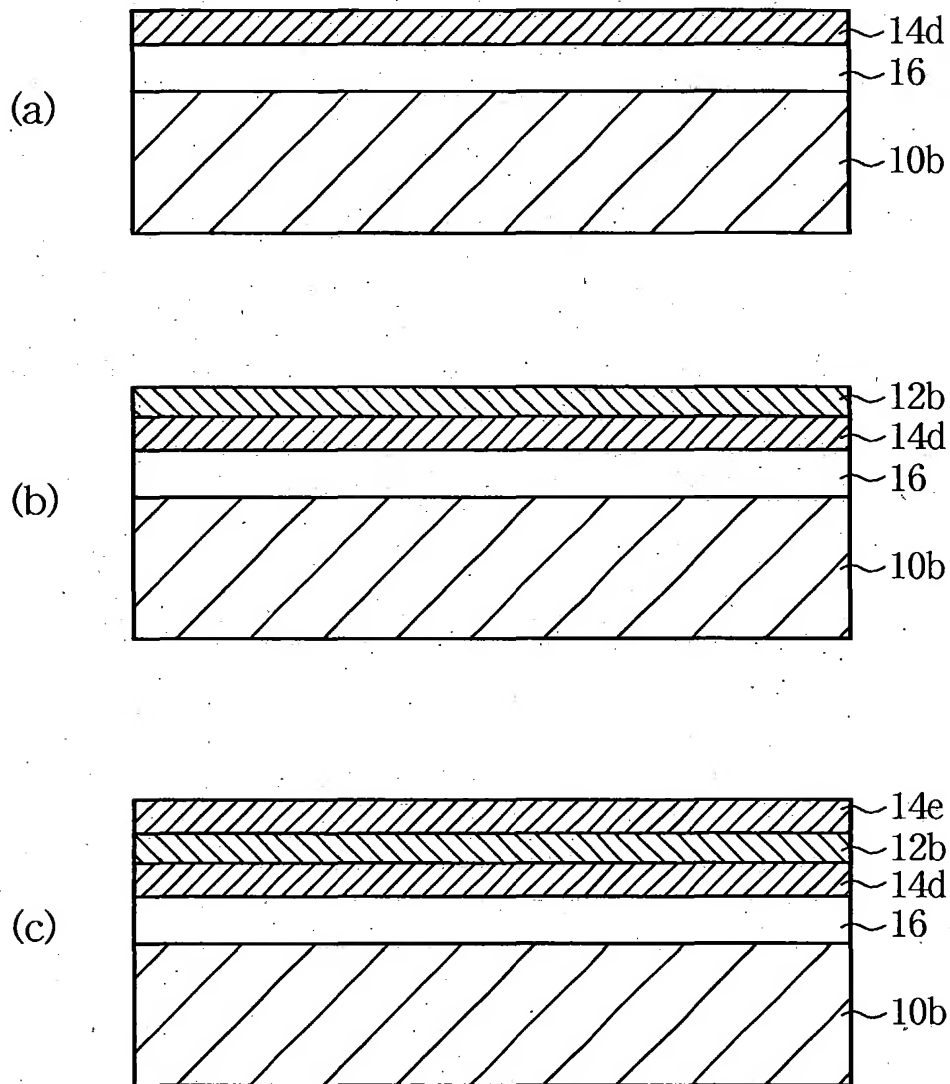
【図 25】

本発明の第7実施形態による半導体基板の製造方法を示す  
工程断面図（その1）



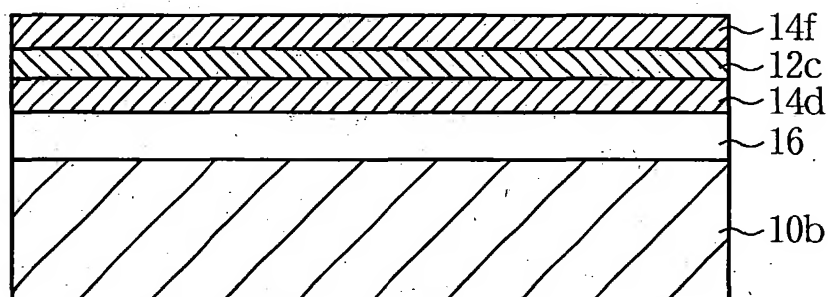
【図 2 6】

本発明の第7実施形態による半導体基板の製造方法を示す  
工程断面図（その2）



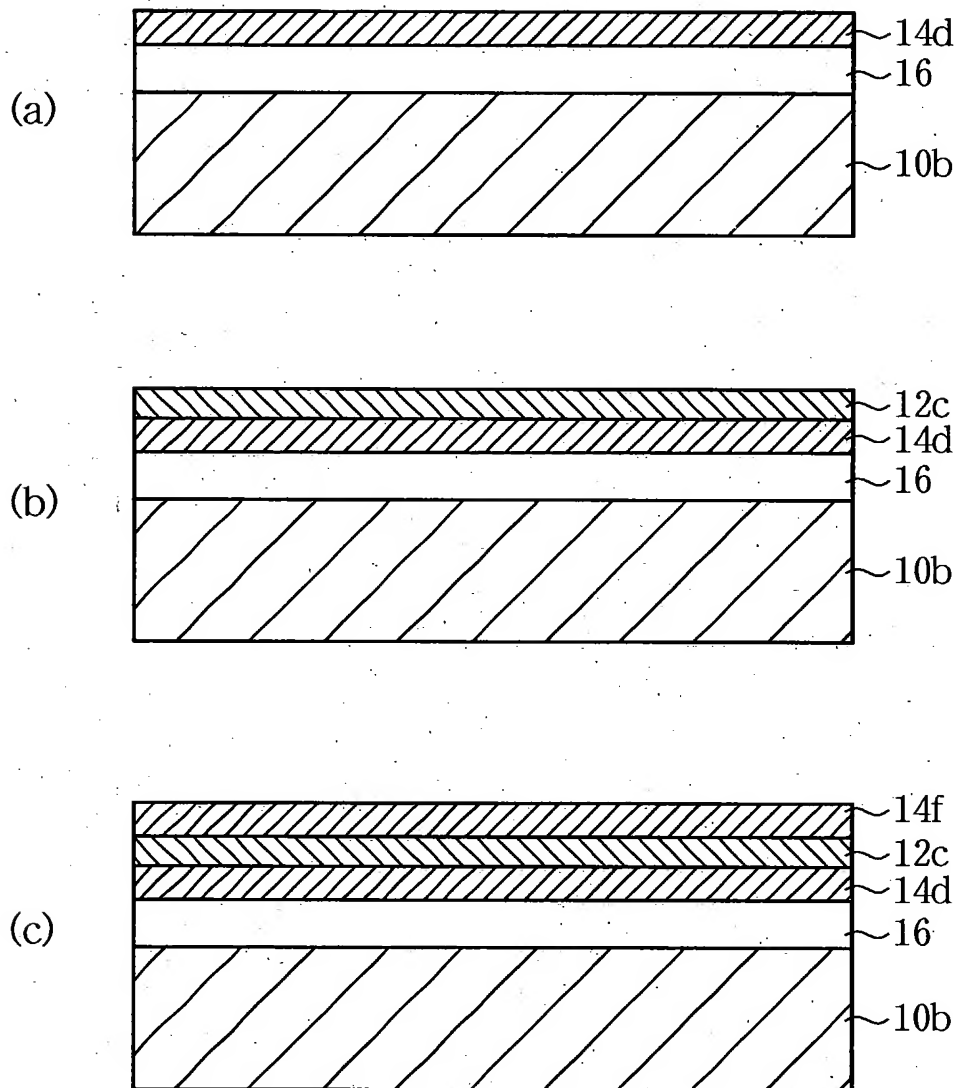
【図 2 7】

本発明の第8実施形態による半導体基板を示す断面図



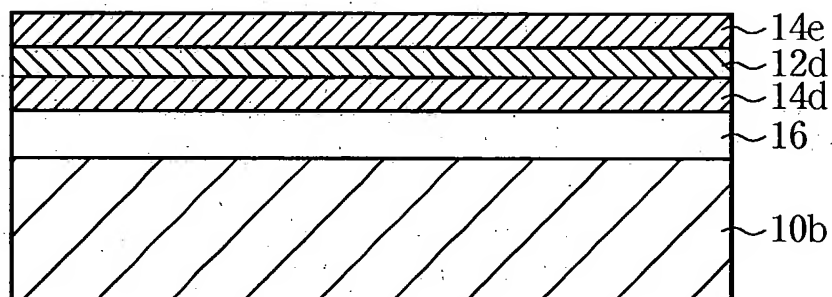
【図 2 8】

本発明の第8実施形態による半導体基板の製造方法を示す  
工程断面図



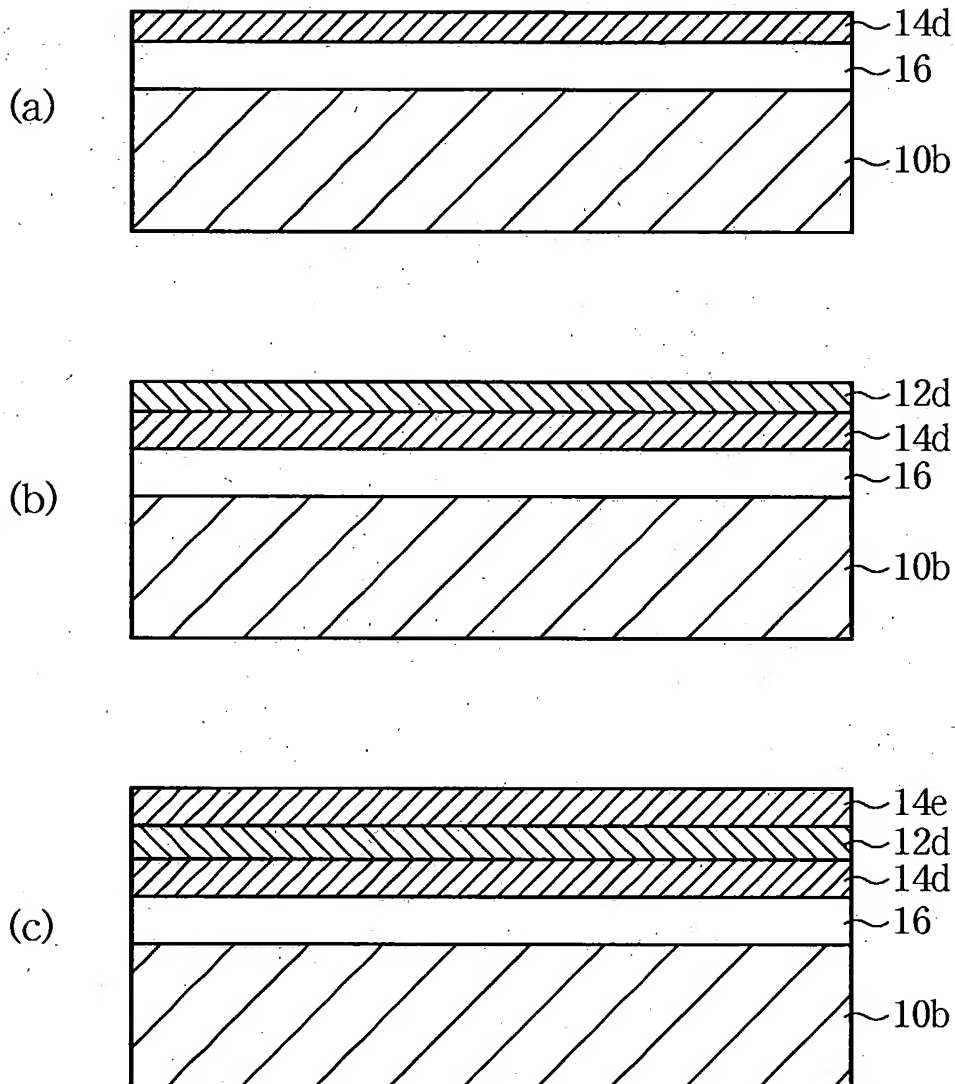
【図 2 9】

本発明の第9実施形態による半導体基板を示す断面図



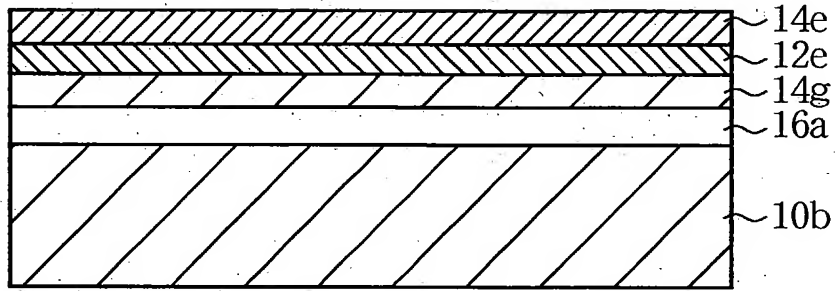
【図 3 0】

本発明の第9実施形態による半導体基板の製造方法を示す  
工程断面図



【図 3 1】

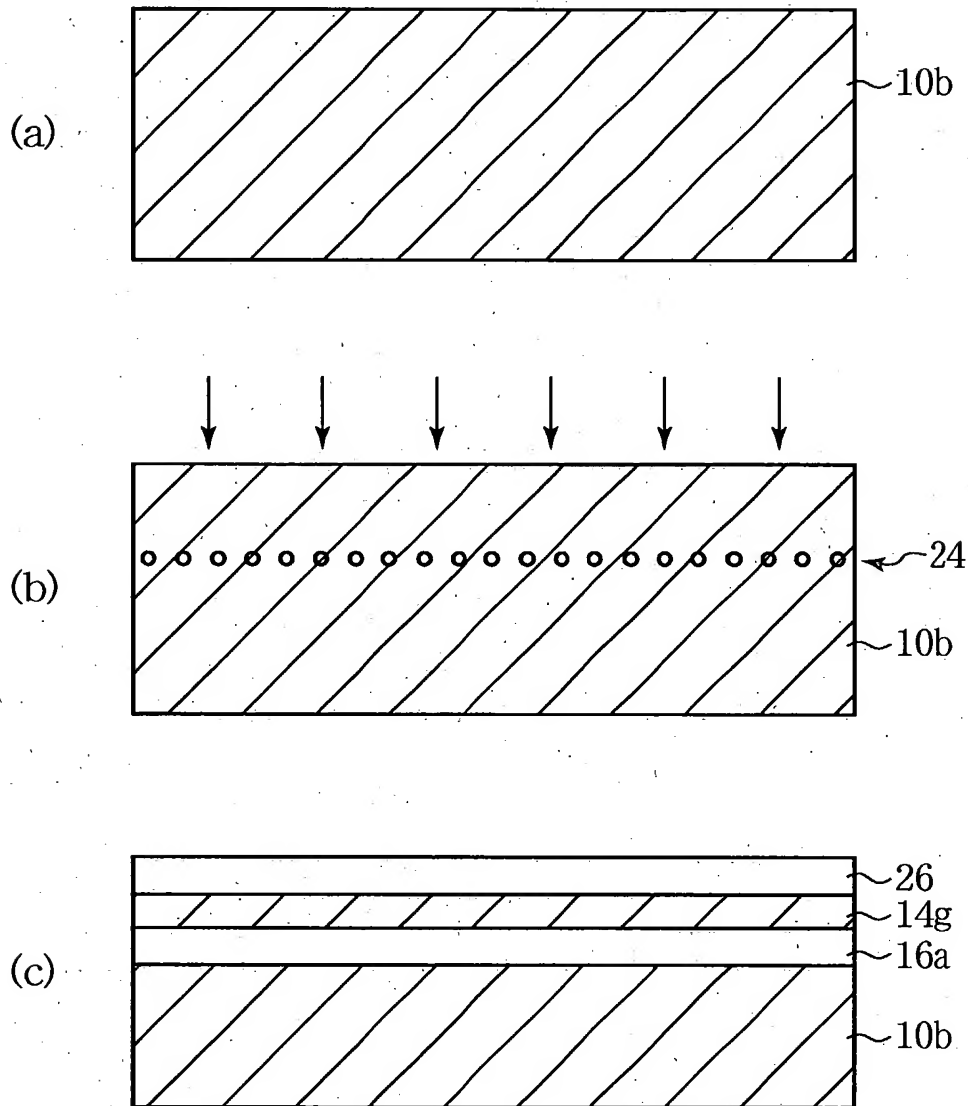
本発明の第10実施形態による半導体基板を示す断面図





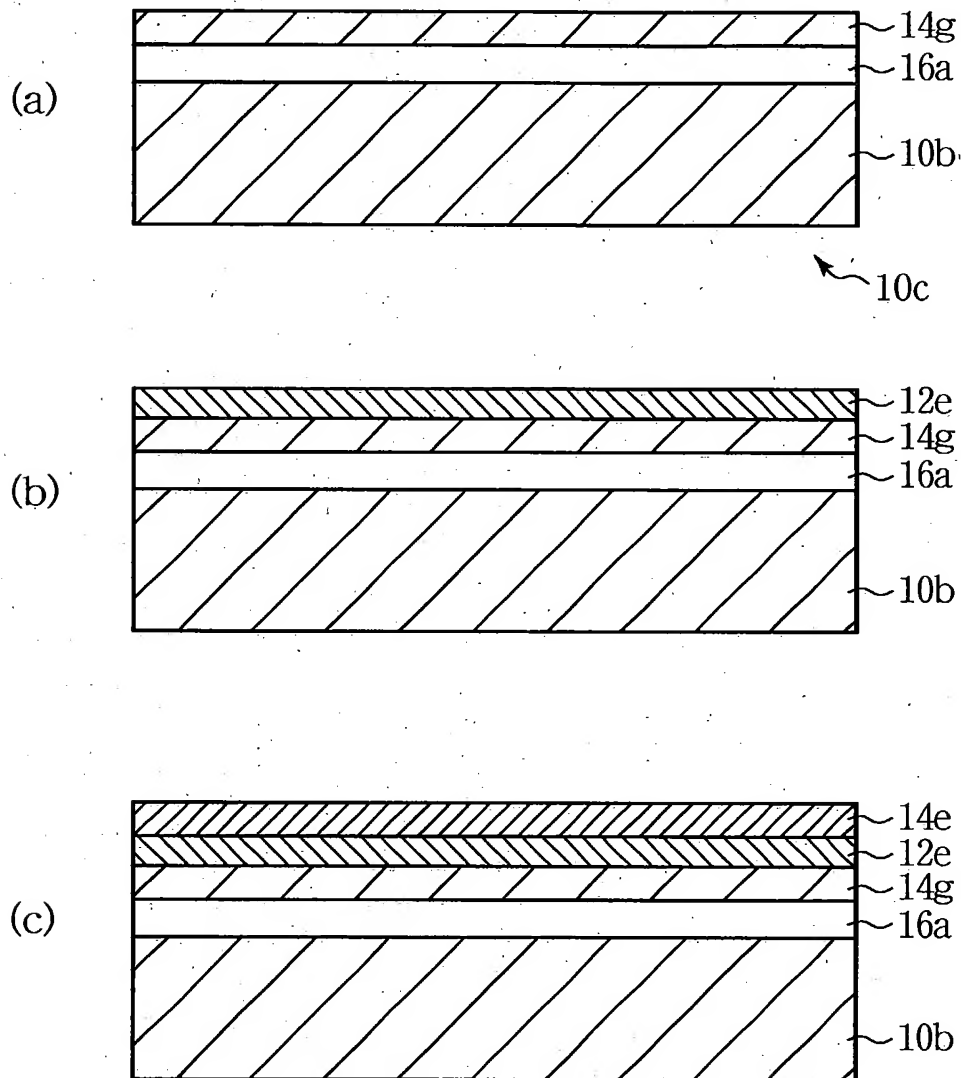
【図 3 2】

本発明の第10実施形態による半導体基板の製造方法を示す  
工程断面図（その1）



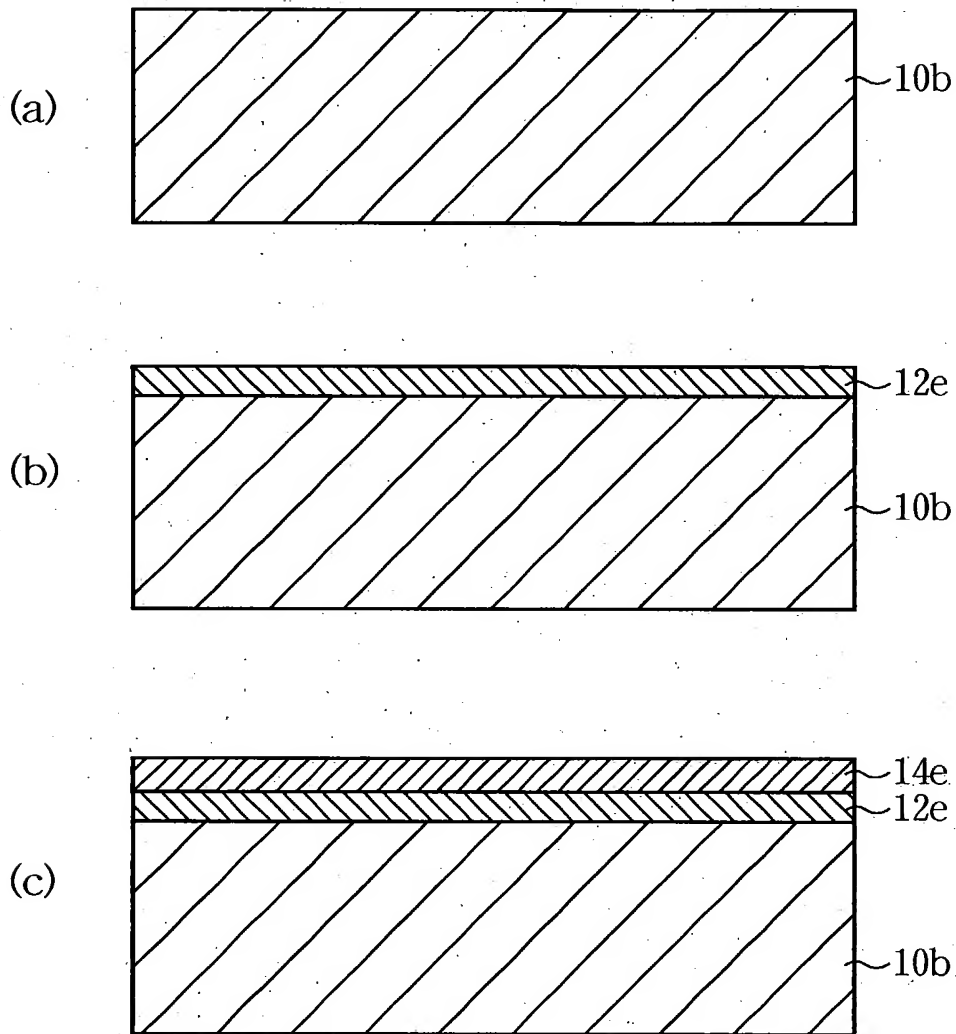
【図 3 3】

本発明の第10実施形態による半導体基板の製造方法を示す  
工程断面図（その2）



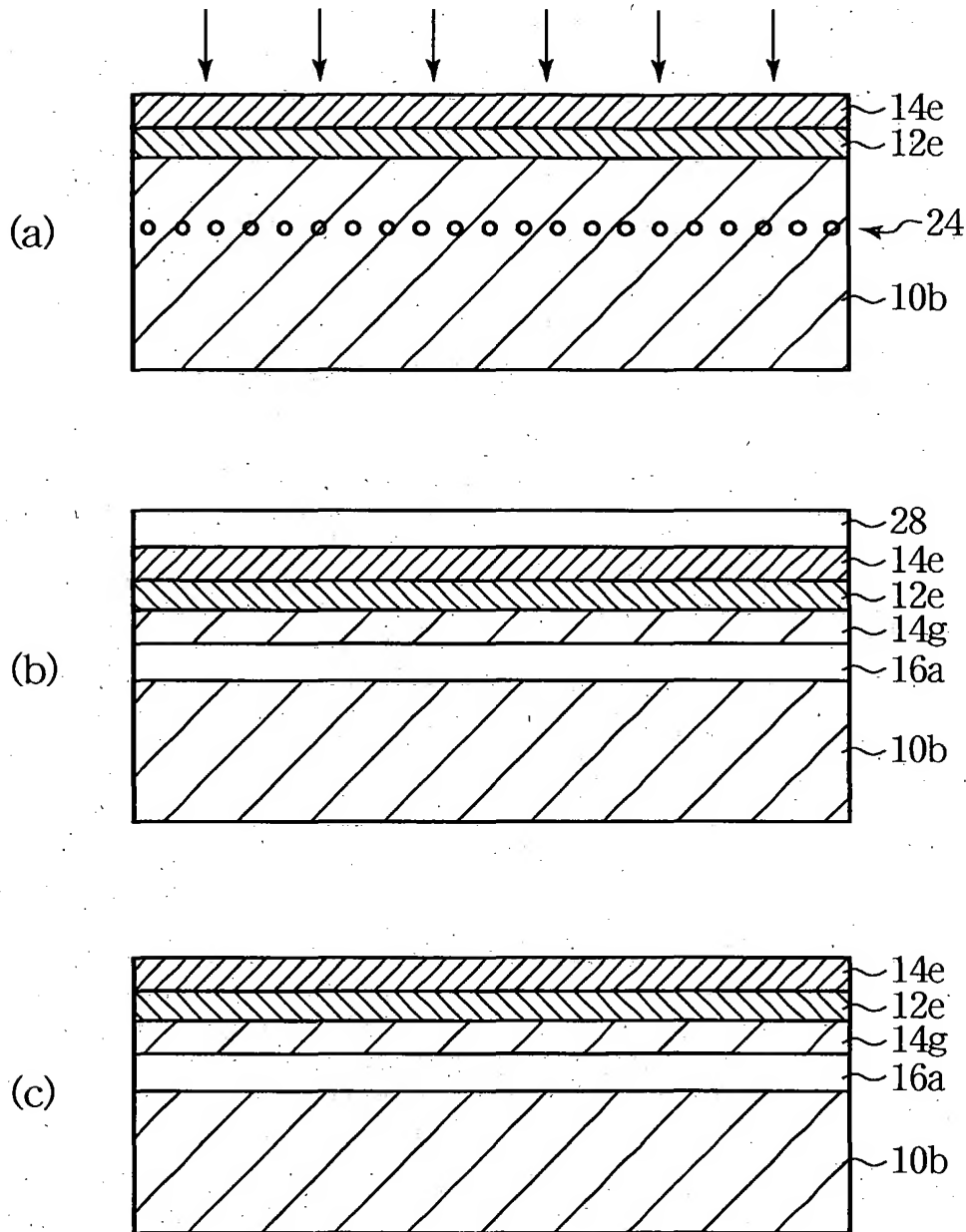
【図 3 4】

本発明の第10実施形態による半導体基板の製造方法の  
変形例（その1）を示す工程断面図（その1）



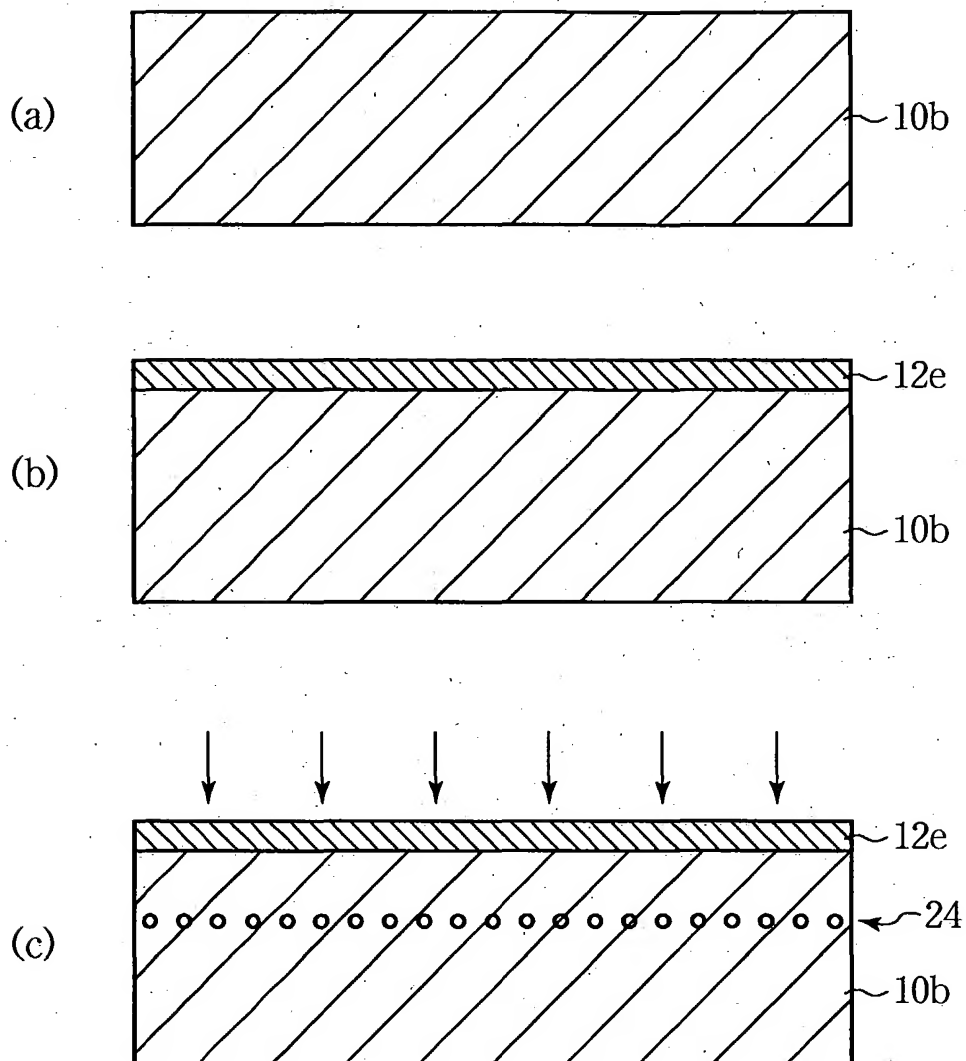
【図35】

本発明の第10実施形態による半導体基板の製造方法の  
変形例（その1）を示す工程断面図（その2）



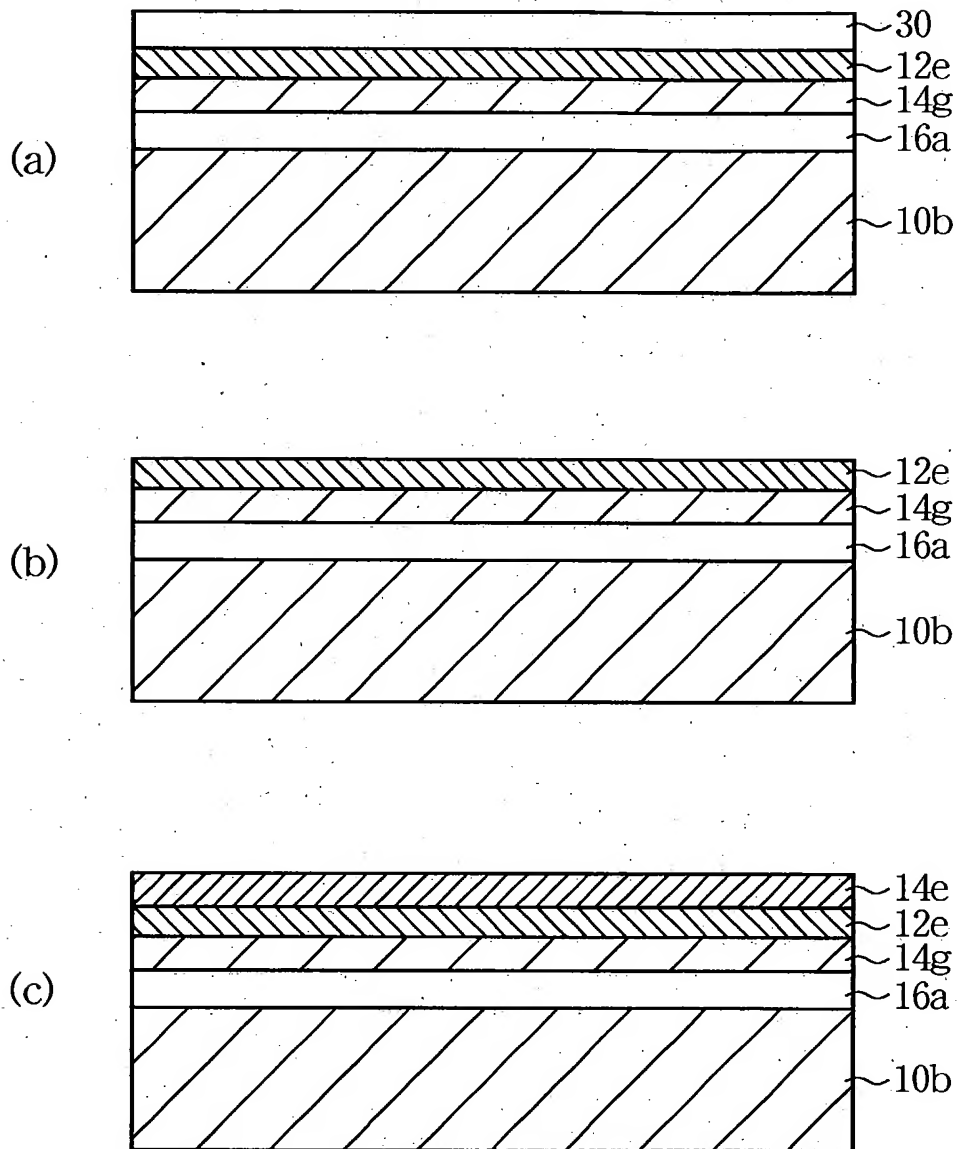
【図 3 6】

本発明の第10実施形態による半導体基板の製造方法の  
変形例（その2）を示す工程断面図（その1）



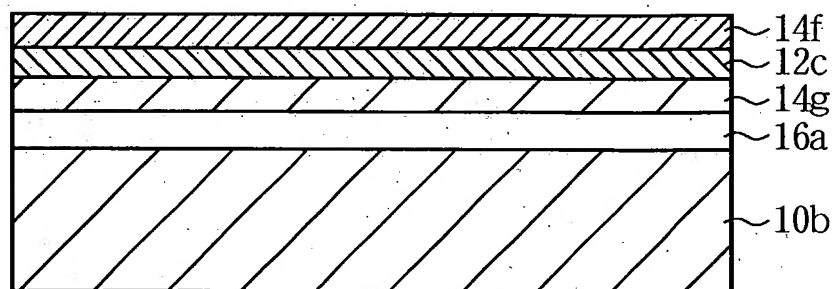
【図 3 7】

本発明の第10実施形態による半導体基板の製造方法の  
変形例（その2）を示す工程断面図（その2）



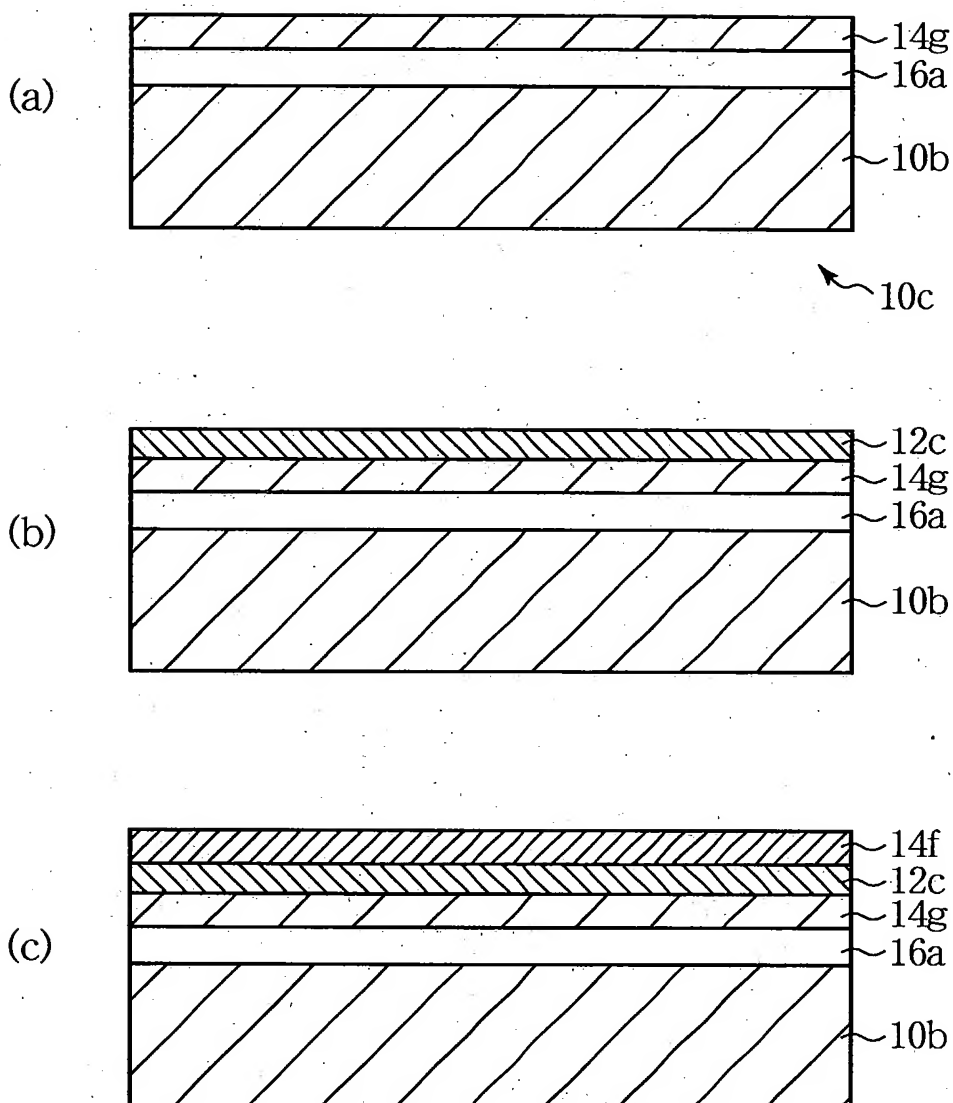
【図 3 8】

本発明の第11実施形態による半導体基板を示す断面図



【図 3 9】

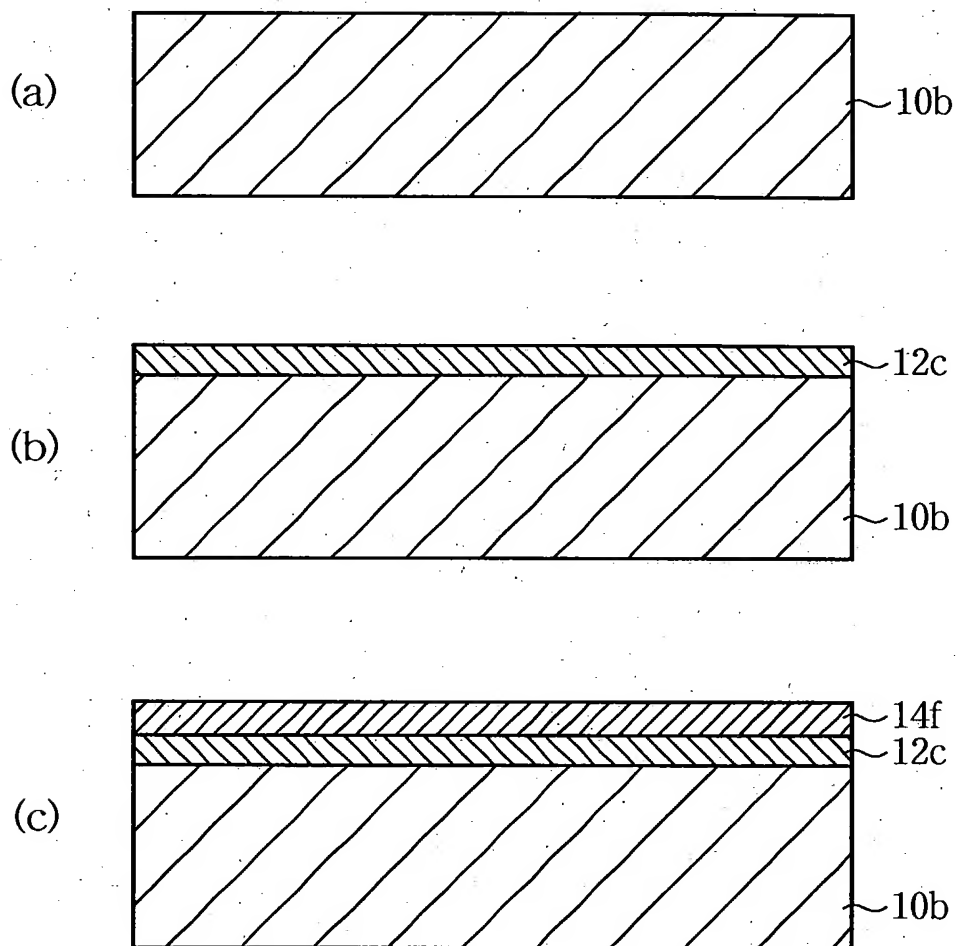
本発明の第11実施形態による半導体基板の製造方法を示す  
工程断面図





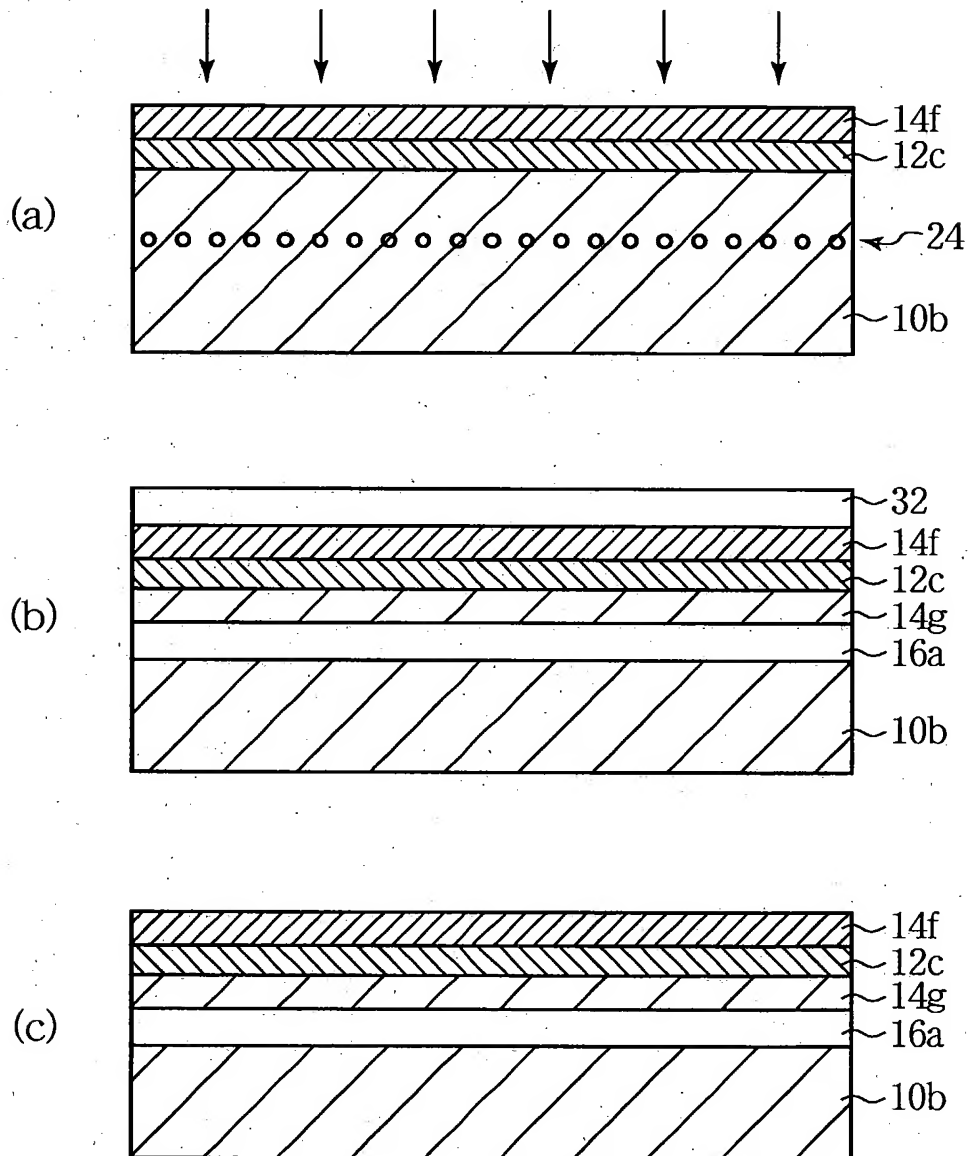
【図 4 0】

本発明の第11実施形態による半導体基板の製造方法の  
変形例（その1）を示す工程断面図（その1）



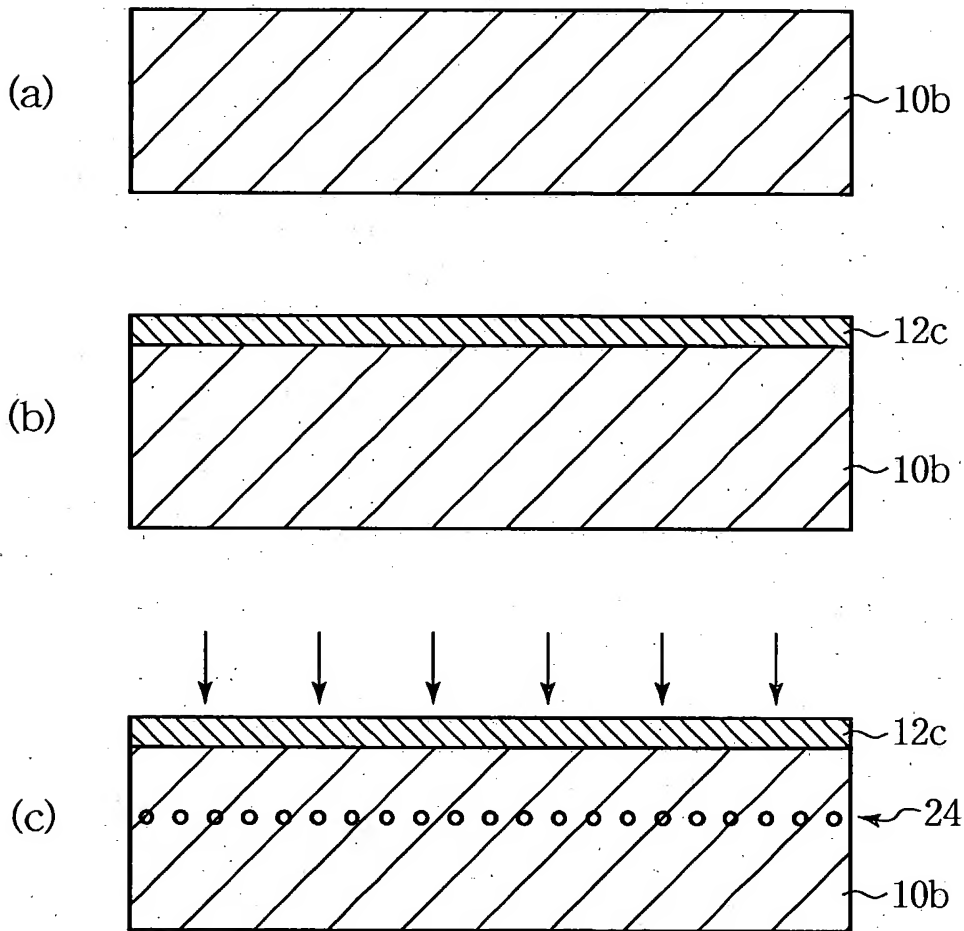
【図 4 1】

本発明の第11実施形態による半導体基板の製造方法の  
変形例（その1）を示す工程断面図（その2）



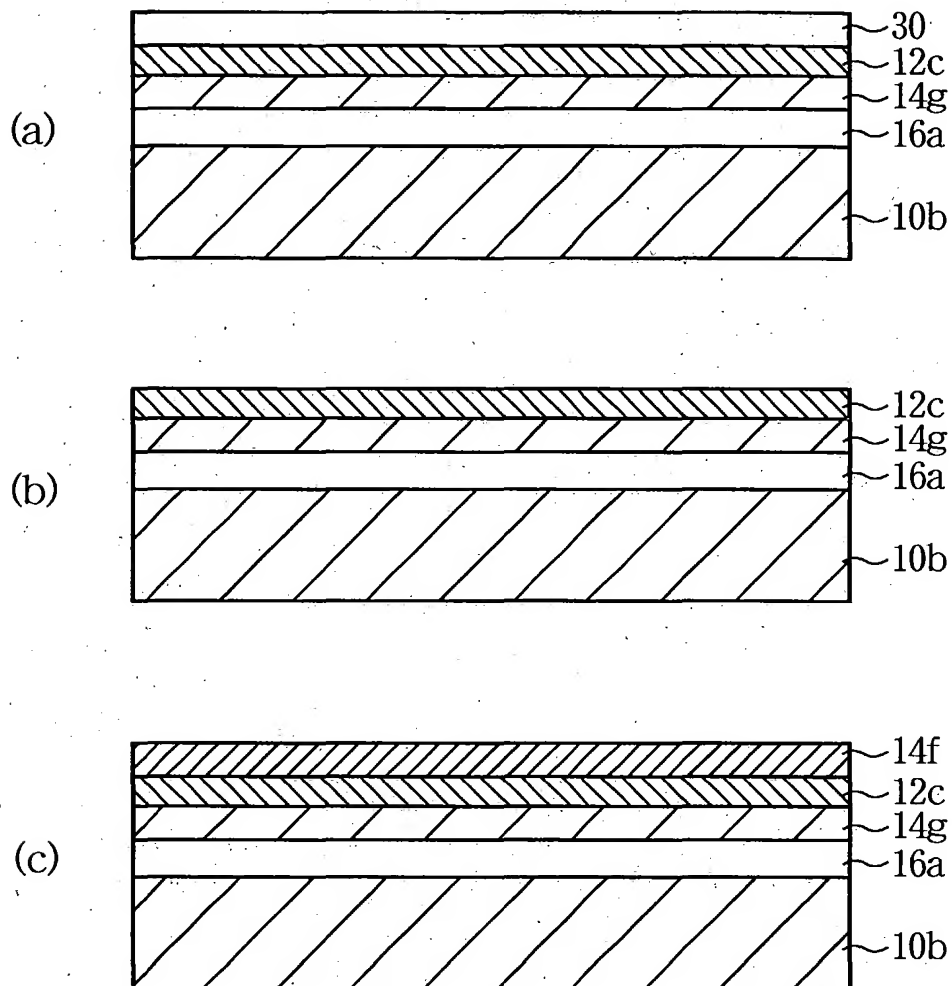
【図 4 2】

本発明の第11実施形態による半導体基板の製造方法の  
変形例（その2）を示す工程断面図（その1）



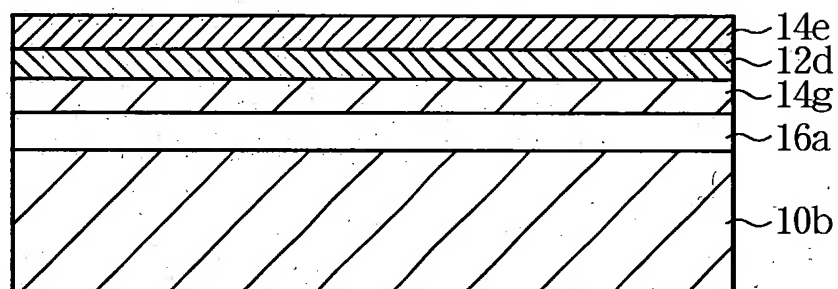
【図 4 3】

本発明の第11実施形態による半導体基板の製造方法の  
変形例（その2）を示す工程断面図（その2）



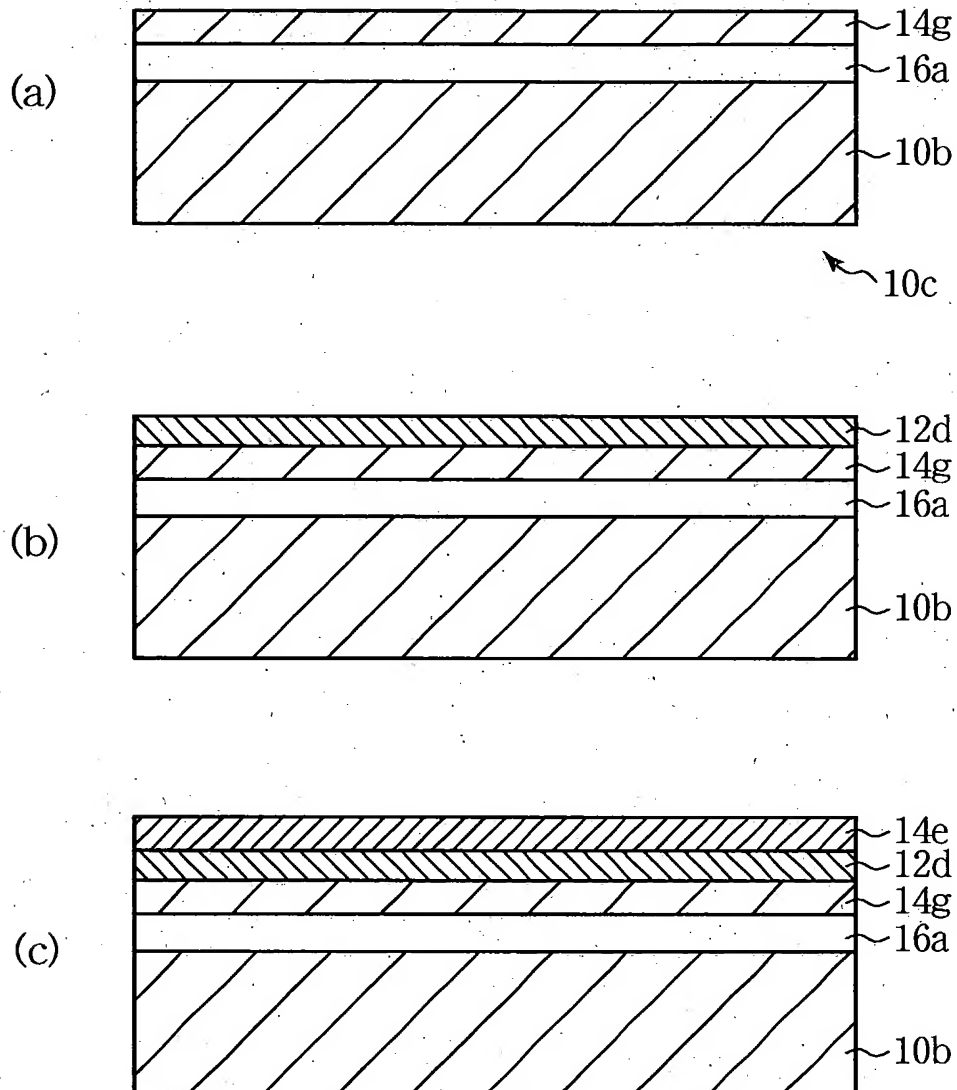
【図 4 4】

本発明の第12実施形態による半導体基板を示す断面図



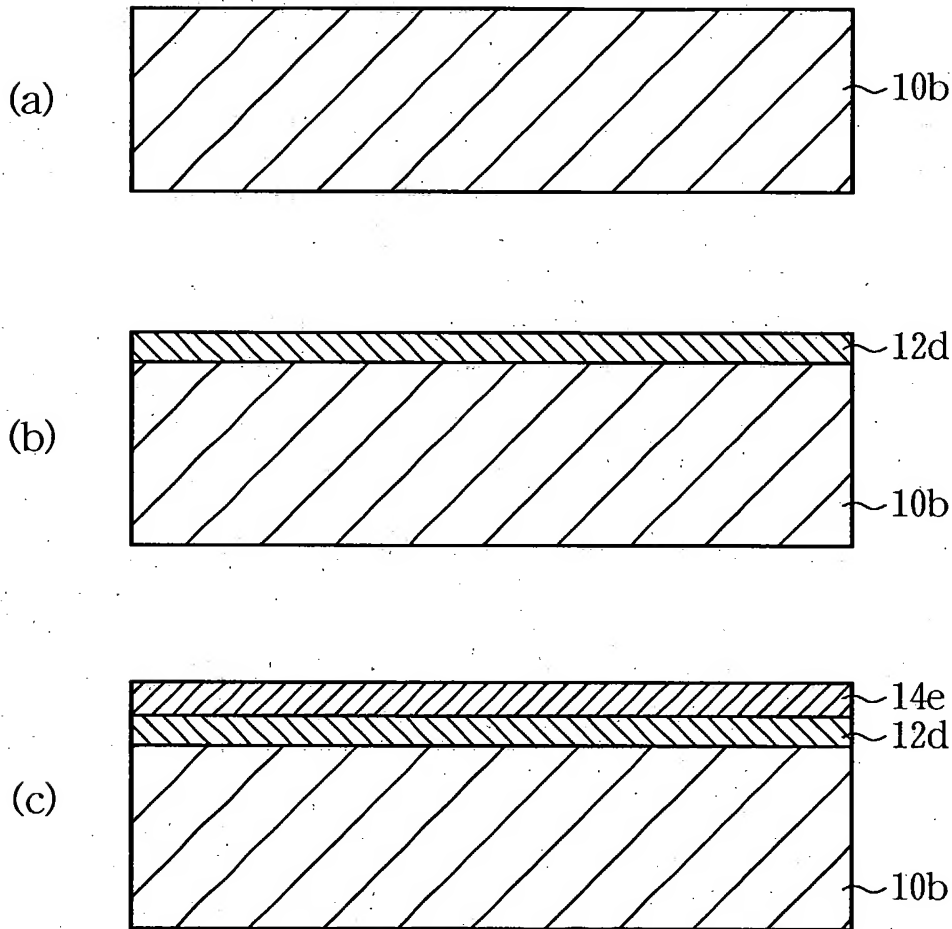
【図 4 5】

本発明の第12実施形態による半導体基板の製造方法を示す  
工程断面図



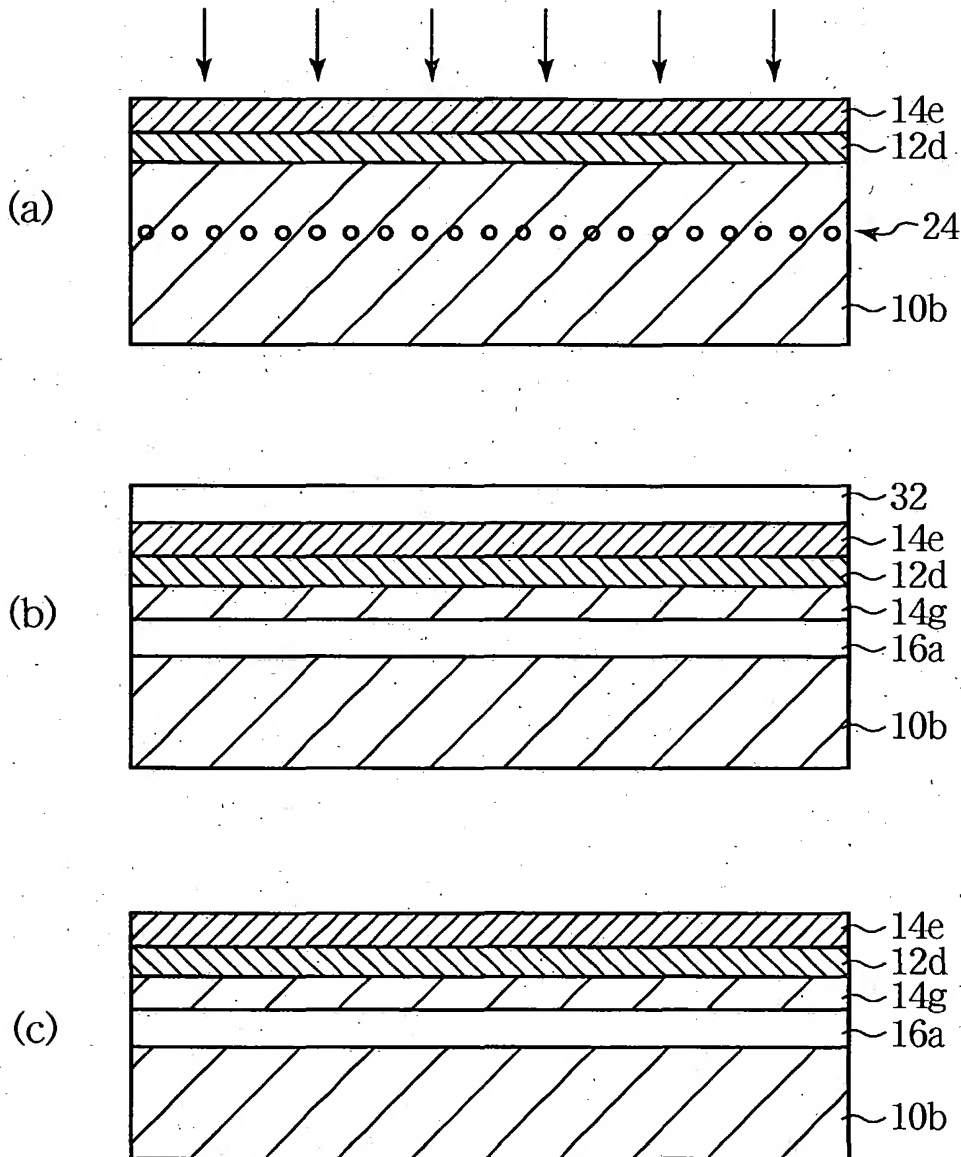
【図 4 6】

本発明の第12実施形態による半導体基板の製造方法の  
変形例（その1）を示す工程断面図（その1）



【図 4. 7】

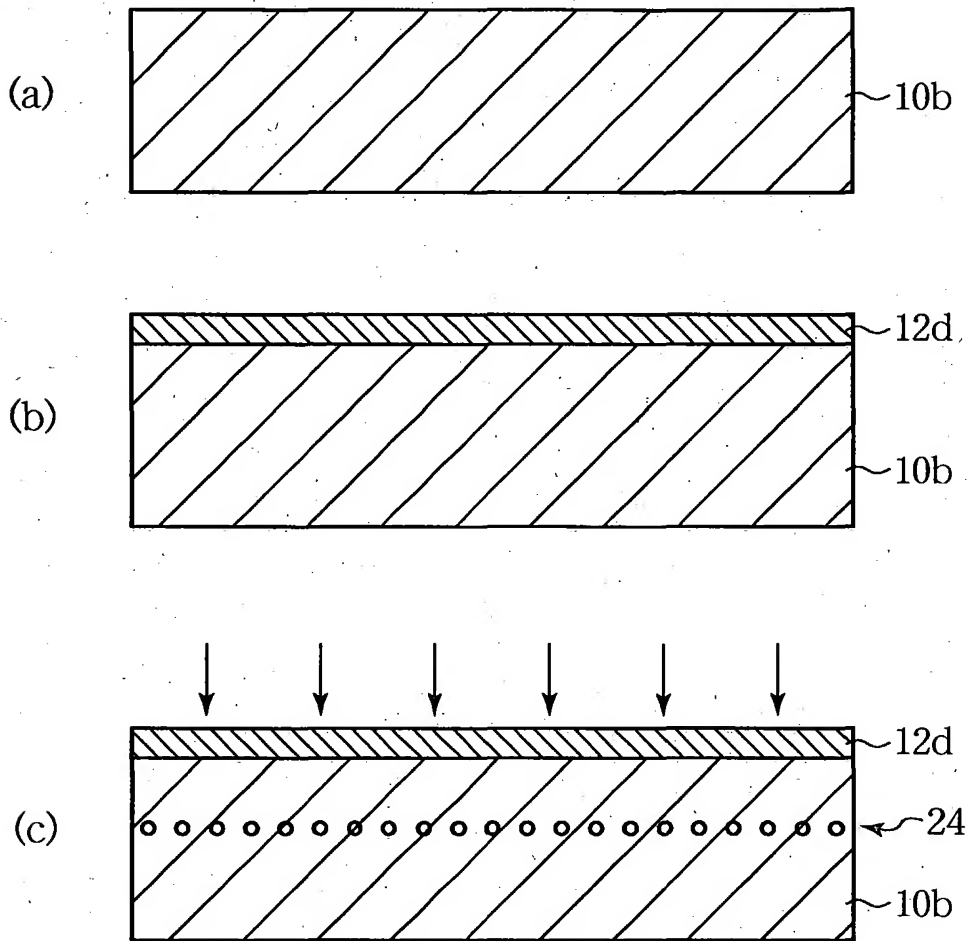
本発明の第12実施形態による半導体基板の製造方法の  
変形例（その1）を示す工程断面図（その2）





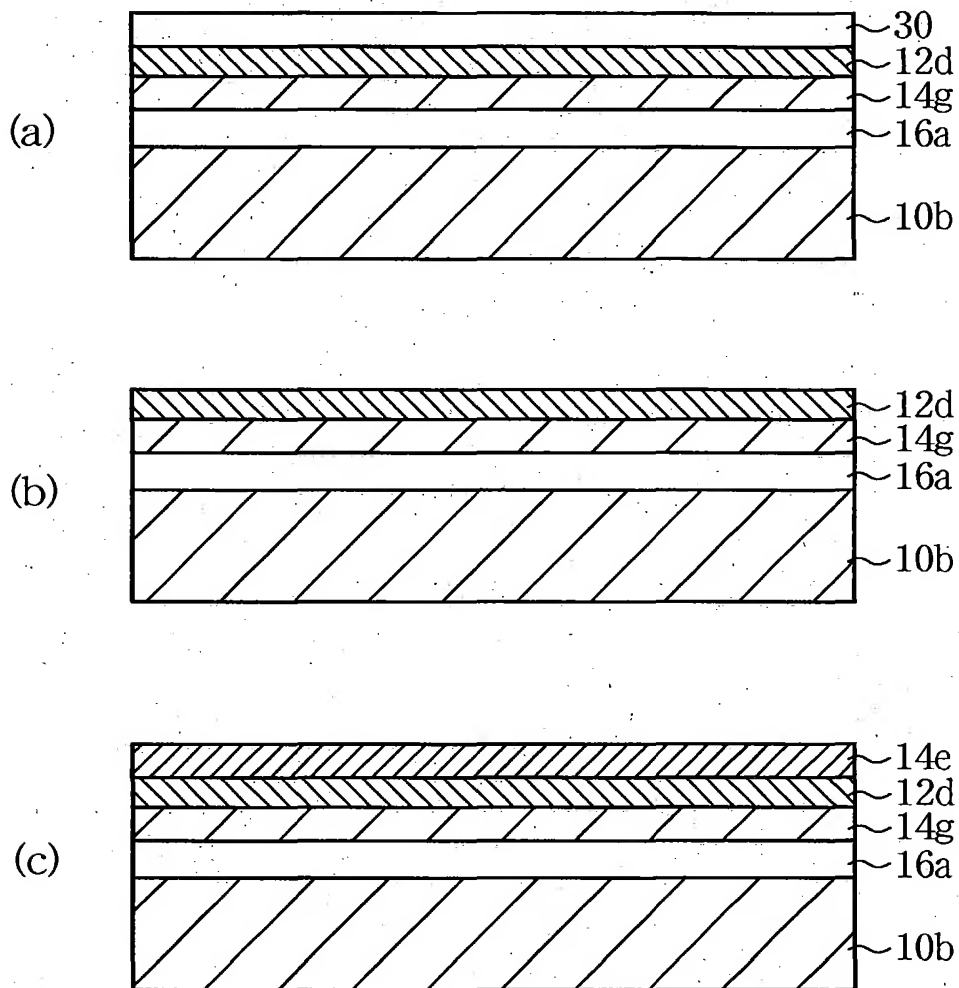
【図 4 8】

本発明の第12実施形態による半導体基板の製造方法の  
変形例（その2）を示す工程断面図（その1）



【図 4 9】

本発明の第12実施形態による半導体基板の製造方法の  
変形例（その2）を示す工程断面図（その2）



【書類名】 要約書

【要約】

【課題】 放熱性を向上し得る半導体基板及びその製造方法を提供する。

【解決手段】 シリコン基板 1 0 と、シリコン基板上に形成されたシリコンゲルマニウム層 1 2 と、シリコンゲルマニウム層上に形成されたシリコン層 1 4 とを有する半導体基板であって、シリコン基板、シリコンゲルマニウム層及びシリコン層の少なくともいずれかにおける、一の S i 同位体の同位体組成比と一の G e 同位体の同位体組成比との少なくとも一方が、9 5 % 以上となっている。シリコン基板、シリコンゲルマニウム層及びシリコン層の少なくともいずれかにおいて、一の S i 同位体の同位体組成比と一の G e 同位体の同位体組成比との少なくとも一方が高く設定されているため、基板面に対して水平な方向における熱の散逸を促進することができる。従って、放熱性を向上し得る半導体基板を提供することができる。

【選択図】 図 1